

ARCHITETTURA DEGLI ELABORATORI

PROF. TRAMONTANA

Capitolo 8 Sistema di memoria

Concetti di base (S. 8.1)

- ▶ La velocità è misurata dal reciproco del **tempo di accesso alla memoria**, ovvero il tempo necessario fra l'inizio dell'operazione e il rispettivo completamento
- ▶ Il **tempo di ciclo di memoria** è il tempo minimo fra l'inizio di due operazioni di memoria consecutive. Solitamente, il tempo di ciclo di memoria è un po' maggiore del tempo di accesso alla memoria
- ▶ Se è costante il tempo di accesso a qualsiasi parola di memoria, la memoria è detta ad **accesso casuale** o RAM (**Random Access Memory**)
- ▶ La memoria **cache** è una memoria veloce, relativamente piccola, interposta fra processore e memoria principale, per ridurre il tempo di accesso medio
- ▶ I dati si spostano frequentemente fra memoria principale e cache. Si trasferiscono **blocchi contigui di dati** che contengono decine, centinaia o migliaia di parole

Introduzione

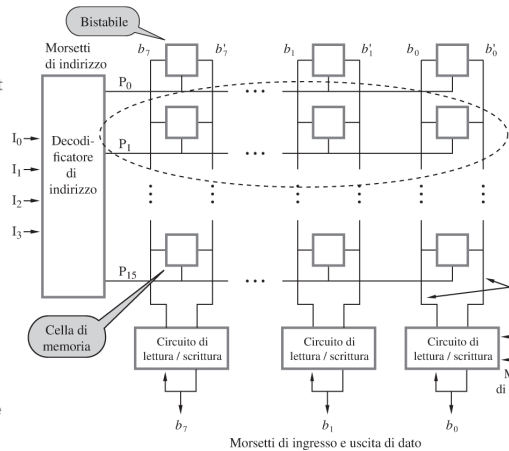
- ▶ Escludendo i registri, il sistema di memoria di un calcolatore consiste di: unità di memoria cache, memoria principale (RAM), memoria secondaria (dischi, periferiche di I/O)
- ▶ Le caratteristiche dei dispositivi di memoria sono: velocità (tempo di accesso, latenza, e larghezza di banda), capacità, costo
- ▶ La capacità della memoria è limitata dallo schema di indirizzamento, ovvero dal numero di bit degli indirizzi e quindi dalla larghezza del bus degli indirizzi

Memoria RAM a semiconduttori (S. 8.2)

- ▶ Il tempo di accesso alle memorie RAM varia da 100 ns a 1 ns
- ▶ La tecnologia di memoria capace di conservare il contenuto fintantoché è alimentata si chiama **memoria statica**
- ▶ La caratteristica di perdere il contenuto quando l'alimentazione viene meno è detta **volatilità**
- ▶ La memoria **RAM statica** è veloce, consuma poca energia, ma ha un costo elevato perché richiede tanti transistor (6 per cella)
- ▶ La memoria **RAM dinamica** non è in grado di mantenere lo stato a tempo indefinito anche quando è alimentata. La carica elettrica contenuta nella cella si dissipa entro qualche decina di millisecondi. Bisogna rinnovare la carica (**rinfrescare** il contenuto) per non perderlo

Organizzazione interna di chip di memoria

- ▶ La cella di memoria ha capacità 1 bit
- ▶ Le celle sono disposte come in una matrice a due dimensioni, come in figura (matrice di 16 parole di 8 bit ciascuna); capacità $16 \times 8 = 128$ bit
- ▶ Ciascuna riga contiene una parola di memoria, ed è collegata alla stessa linea pilotata dal decodificatore di indirizzo
- ▶ Le colonne sono collegate al circuito di lettura e scrittura tramite due linee
- ▶ Il segnale CS è Chip Select e serve a selezionare e attivare il componente all'interno del banco di memoria
- ▶ Totale **collegamenti**: 4 linee di indirizzo + 8 linee per i dati + 2 segnali di controllo = **14** linee. Inoltre ci sono 2 linee per l'alimentazione
- ▶ Es. **1 Kbit** di dati = 128×8 ; $128 = 2^7$, quindi $7 + 8 + 2 + 2 = 19$ collegamenti

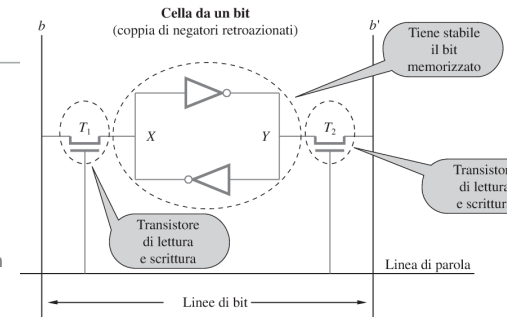


Prof. Tramontana

5

Memoria statica

- ▶ I transistor T1 e T2 funzionano come interruttori e si possono aprire e chiudere pilotandoli dalla linea di parola
- ▶ Se la linea di parola è 0 (massa) i due transistor T1 e T2 sono in interdizione, ovvero aperti, e la **coppia di negatori** è isolata e mantiene lo stato. Con **X=1** allora il **valore logico** è 1, e Y=0
- ▶ Per **leggere**, si attiva la linea di parola (mettendo 1), si chiudono i transistor, e si **fornisce il bit memorizzato in b** (se X=1, b si porterà a 1) e il complemento in b'
- ▶ Per **scrivere**, si inserisce il dato in b (e il suo complemento in b') e si attiva la linea di parola, questo forza X al valore inserito su b, che viene mantenuto quando la linea di parola va a 0



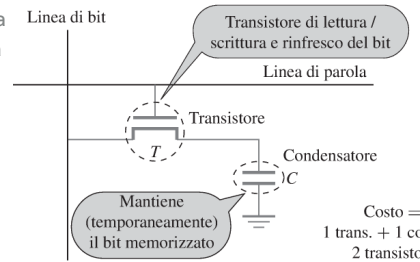
- ▶ Realizzazione cella tramite 6 transistor: T1, T2 e 2 transistor per ciascuna porta not
- ▶ Vantaggi: (1) basso consumo di energia, poiché i transistor in interdizione non fanno dissipare potenza; (2) tempo di accesso alla cella molto brev (pochi nanosecondi), utilizzo: memorie cache
- ▶ Svantaggi: costo per bit elevato, poiché occorrono transistor in tecnologia CMOS

Prof. Tramontana

6

Memoria dinamica

- ▶ Il bit contenuto in memoria è espresso tramite la carica elettrica depositata nel condensatore, ma la carica si dissipa entro qualche decina di ms
- ▶ Bisogna rinnovare la carica nel condensatore (rinfrescare) periodicamente prima che il valore si degradi per poter mantenere lo stato
- ▶ Per la **lettura** (e il **rinfresco**), il transistor T viene messo in conduzione e la linea di bit rileva la carica del condensatore e quindi lo stato. Se è sopra soglia, il circuito pilota la linea di bit alzandola al valore di tensione massimo, altrimenti la abbassa a massa
- ▶ Tutte le celle della stessa linea di parola vengono lette o rinfrescate simultaneamente

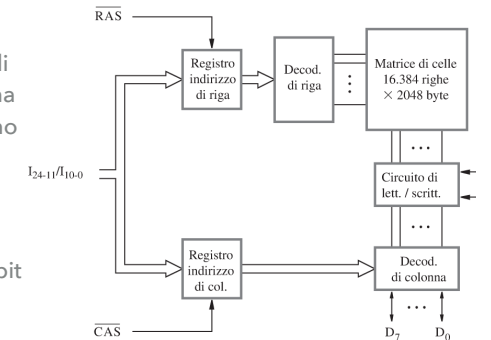


Prof. Tramontana

7

Organizzazione RAM dinamiche

- ▶ Un componente di 256 Mbit con configurazione $32M \times 8$, ovvero parola di 8 bit, è organizzato internamente con una matrice di celle da **16K x 16K**; i 16K sono 2048 gruppi da 8 bit
- ▶ Quindi, occorrono 14 bit per scegliere una riga ($2^{14} = 16K$), e 11 bit per scegliere il gruppo. Ovvero, $14 + 11 = 25$ bit
- ▶ Per **ridurre** il numero di linee da collegare, gli indirizzi di riga e di colonna vengono multiplati sulle stesse linee, quindi si manda l'indirizzo di riga e il segnale di controllo RAS e dopo l'indirizzo di colonna e il segnale CAS



Prof. Tramontana

8

RAM dinamiche asincrone

- ▶ Asincrona: durante un'operazione di lettura i dati sono trasferiti al processore dopo un ritardo pari al tempo di accesso alla memoria
- ▶ Il circuito di controllo della memoria è esterno al chip e serve per la generazione dei segnali di campionamento (RAS e CAS) e il rinfresco delle celle
- ▶ Si può avere un **modo veloce di lettura di pagina** (fast page mode)
 - ▶ Una volta inviato l'indirizzo della riga, e attivata la riga, si fa variare l'indirizzo della colonna per selezionare le varie colonne e far uscire i dati della stessa riga, con vari impulsi CAS