

Three-State Logic

Corrado Santoro

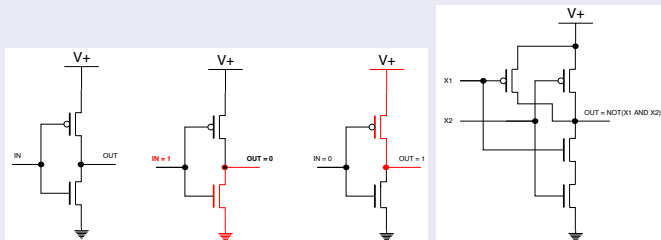
Dipartimento di Matematica e Informatica

santoro@dmi.unict.it



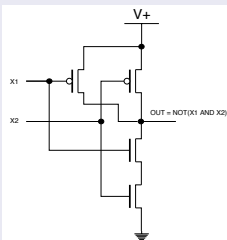
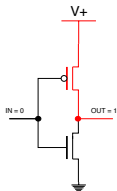
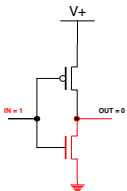
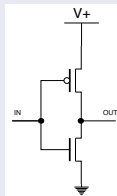
Corso di Architettura degli Elaboratori

Circuiti a MOS



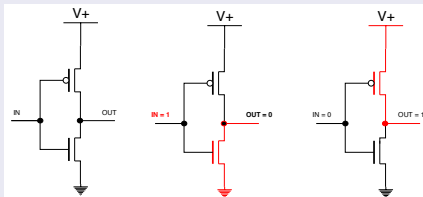
- Studiando i circuiti a MOS abbiamo visto che in essi lo stadio di uscita presenta sempre:
 - **Un ramo verso il positivo**
 - **Un ramo verso ground**

Circuiti a MOS e stati dell'uscita



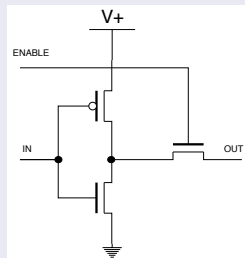
- Lo stato logico **0** (in uscita) implica che il **ramo verso ground** è **chiuso**: **l'uscita è connessa a ground**
- Lo stato logico **1** (in uscita) implica che il **ramo verso positivo** è **chiuso**: **l'uscita è connessa a positivo**

Circuiti a MOS e “terzo stato”



- Concettualmente esiste tuttavia una **“terza possibilità”**
- Essa consiste nel far sì che l'uscita non sia collegata nè a positivo nè a ground
- In altri termini, l'uscita è posta in uno stato **floating** (“flottante”), in cui non è collegata a nulla
- Ciò si potrebbe ottenere disabilitando sia il PMOS che l'NMOS, tuttavia questo non è elettricamente possibile

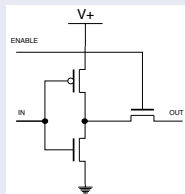
Circuiti a MOS e "terzo stato"



- Se tuttavia includiamo un ulteriore MOS **in serie** allo stato di uscita, pilotato da un **segnale di enable**, otteniamo l'effetto desiderato

| IN | ENABLE | OUT |
|----|--------|-----------------|
| X | 0 | <i>Floating</i> |
| 1 | 1 | 0 |
| 0 | 1 | 1 |

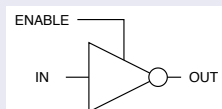
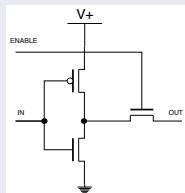
Circuiti a MOS e “terzo stato”



- L'uscita può pertanto assumere **tre stati elettrici**
 - **Low, 0**, uscita connessa a ground
 - **High, 1**, uscita connessa a positivo
 - **Floating o “High Impedence”, HiZ**, uscita “flottante”

| IN | ENABLE | OUT |
|----|--------|-----|
| X | 0 | HiZ |
| 1 | 1 | 0 |
| 0 | 1 | 1 |

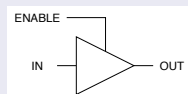
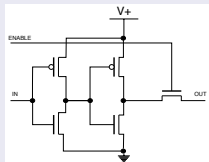
Simbologia per i circuiti "Three-State"



- Il simbolo in figura è quello che si utilizza per un inverter "three state" in cui è presente anche l'ingresso di Enable

| IN | ENABLE | OUT |
|----|--------|-----|
| X | 0 | HiZ |
| 1 | 1 | 0 |
| 0 | 1 | 1 |

Il Buffer "Three-State"



- Tra le logic gates "three-state" troviamo un componente speciale denominato **buffer**
- Esso non applica alcuna trasformazione all'ingresso ma permette di introdurre un Enable in un collegamento
- Internamente è realizzato tramite due inverter in serie

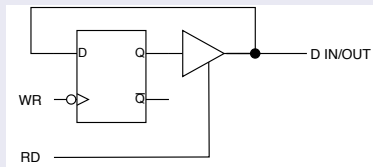
| IN | ENABLE | OUT |
|----|--------|-----|
| X | 0 | HiZ |
| 1 | 1 | 1 |
| 0 | 1 | 0 |

Utilizzi della logica three-state

Utilizzo dei Circuiti Three State

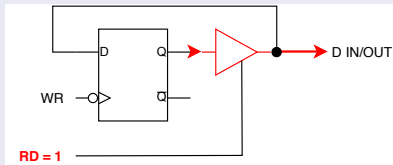
- La logica “three-state” diventa fondamentale tutte le volte che desideriamo **interrompere** un collegamento, facendo sì che tale interruzione sia **comandata da uno stato logico**
- Le tipiche applicazioni sono le seguenti:
 - Realizzazione di collegamenti **bidirezionali**
 - Connessione (tra loro) di **diverse uscite**, con selezione mutua

Linee Bidirezionali



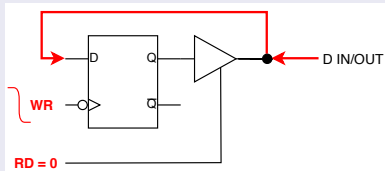
- Il circuito in figura rappresenta una memoria a 1 bit in cui la **linea dati** è **bidirezionale**
- Il buffer posto in uscita permette lo “switch” tra IN e OUT

Linee Bidirezionali, Lettura



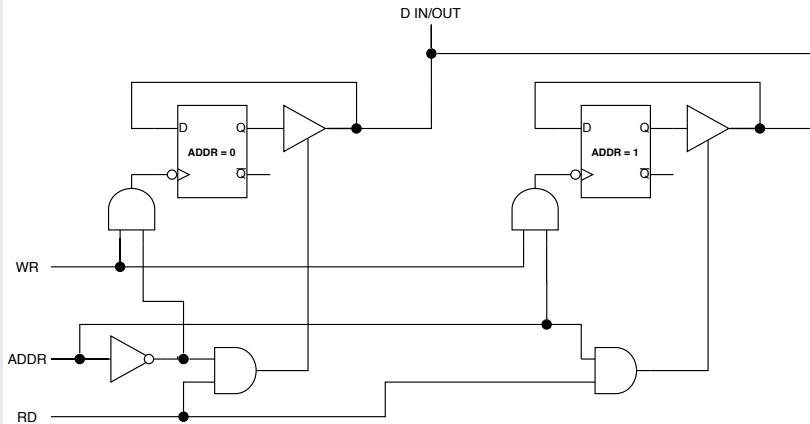
- Quando $RD = 1$, il buffer permette il passaggio sulla linea **D IN/OUT** del dato memorizzato
- La linea **D IN/OUT** si comporta come **uscita**
- Lo stato del segnale WR è ininfluenza

Linee Bidirezionali, Scrittura



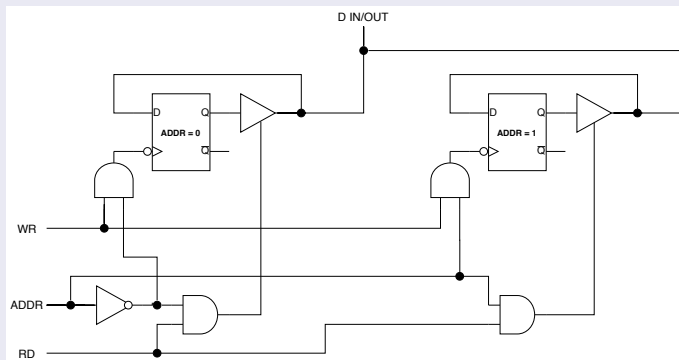
- Quando $RD = 0$, il buffer permette di “isolare” l’uscita del flip-flop
- La linea **D IN/OUT** può comportarsi come **ingresso**, fornendo il dato da memorizzare
- Un falling-edge sul WR permette la memorizzazione nel FF del dato presente sulla linea D IN/OUT

Connessione di più uscite



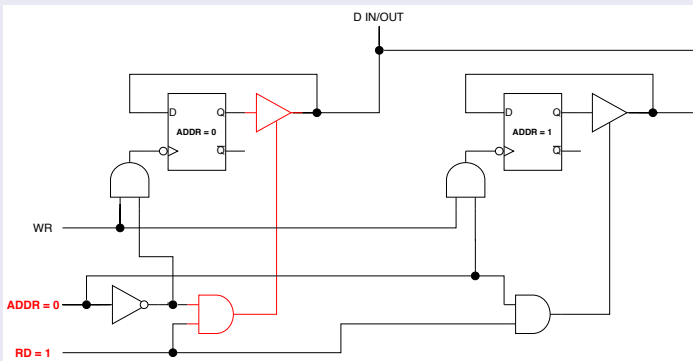
Esempio Componente di Memoria con 2 Locazioni da 1 Bit

Connessione di più uscite



- Le porte AND agiscono da "gate" permettendo di attivare la lettura o la scrittura della locazione di memoria selezionata da **ADDR**

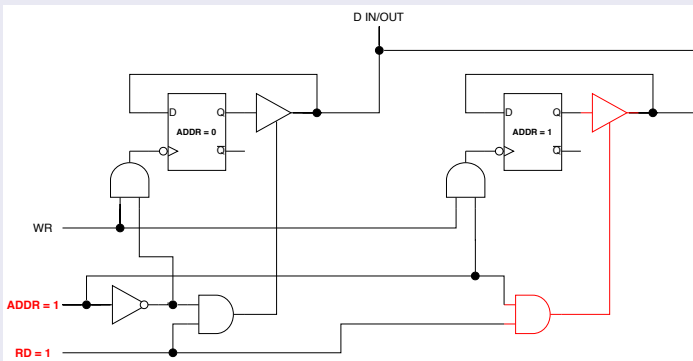
Connessione di più uscite



Esempio Componente di Memoria con 2 Locazioni da 1 Bit

Lettura Locazione 0

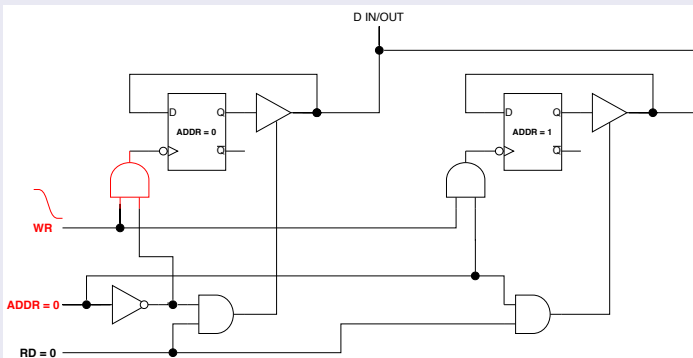
Connessione di più uscite



Esempio Componente di Memoria con 2 Locazioni da 1 Bit

Lettura Locazione 1

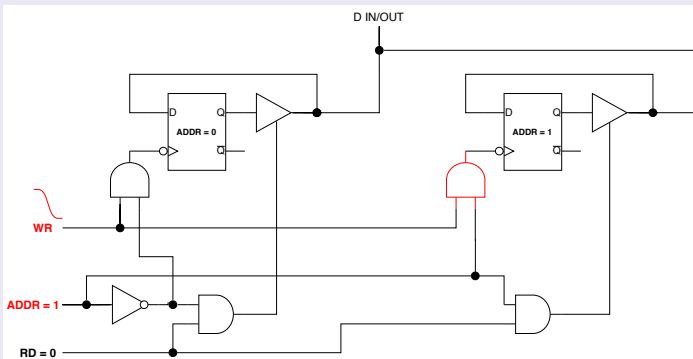
Connessione di più uscite



Esempio Componente di Memoria con 2 Locazioni da 1 Bit

Scrittura Locazione 0

Connessione di più uscite



Esempio Componente di Memoria con 2 Locazioni da 1 Bit

Scrittura Locazione 1

Three-State Logic

Corrado Santoro

Dipartimento di Matematica e Informatica

santoro@dmi.unict.it



Corso di Architettura degli Elaboratori