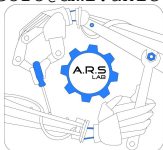


Memoria

Corrado Santoro

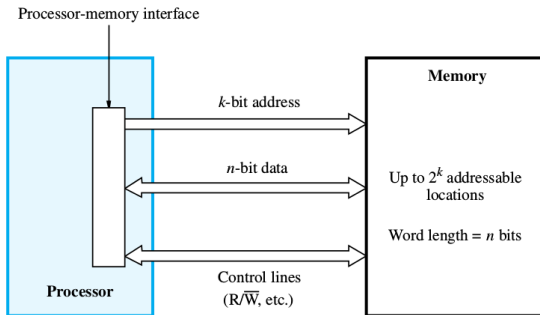
Dipartimento di Matematica e Informatica

santoro@dmi.unict.it



Corso di Architettura degli Elaboratori

Memoria e Processore



Interfaccia Processore-Memoria

- **Address Bus**, k linee per 2^k locazioni indirizzabili
- **Data Bus**, n linee, ogni locazione di memoria contiene dunque n bit
- **Control Bus**, almeno 2 linee, per indicare se l'operazione e' una read o una write

\overline{RD} e \overline{WR}

- \overline{RD} , il valore 0 indica un'operazione di **read**
- \overline{WR} , il valore 0 indica un'operazione di **write**

\overline{RD}	\overline{WR}	Azione
1	1	Nessuna azione
0	1	Read
1	0	Write
0	0	non valido

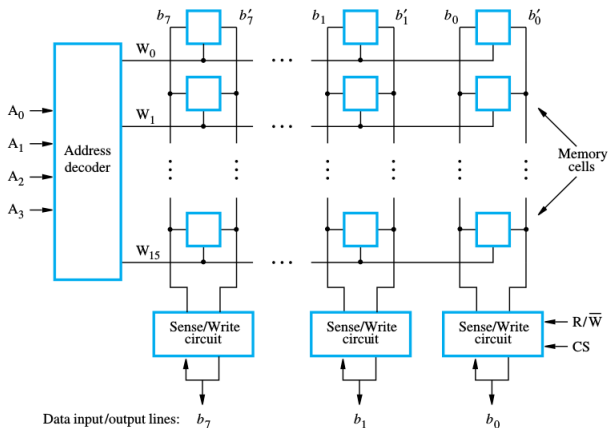
\overline{CS} e R/\overline{W}

- \overline{CS} , **Chip Select**, il valore 0 indica che il dispositivo è selezionat per un'operazione
- R/\overline{W} , il valore 1 indica un'operazione di **read**, il valore 0 indica un'operazione di **write**

\overline{CS}	R/\overline{W}	Azione
1	X	Nessuna azione
0	1	Read
0	0	Write

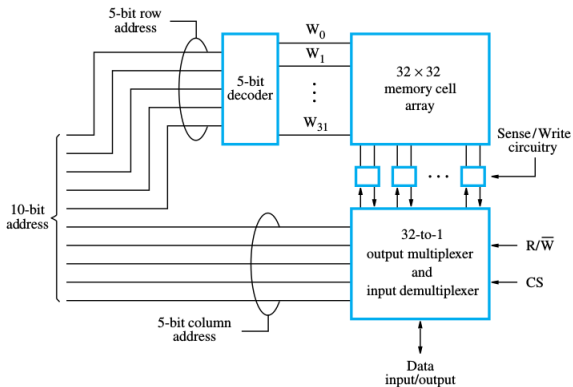
Struttura base di un chip di memoria

RAM



Struttura base di un chip di memoria

RAM a Matrice



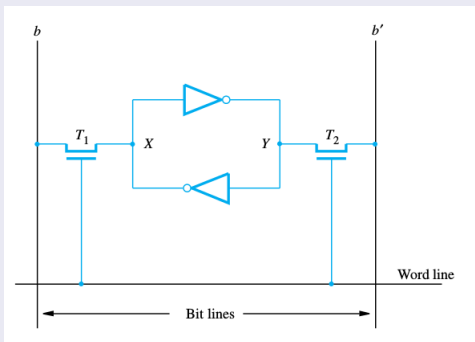
RAM Statiche (SRAM)

- La cella è realizzata tramite un **flip-flop** (o componente analogo)
- Capacità (su silicio) limitata
- Consumo elevato

RAM Dinamiche (DRAM)

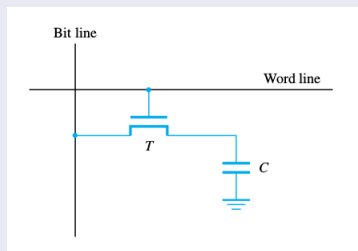
- La cella è realizzata tramite un **condensatore**
- Capacità (su silicio) maggiore rispetto alla SRAM
- Consumo molto basso

RAM Statica (con porte NOT)



- **WRITE**: la linea b è un **input**; attivando la *Word Line* il dato rime intrappolato nel loop dei due inverter
- **READ**: la linea b' è un **output**; attivando la *Word Line* il loop emette il suo valore

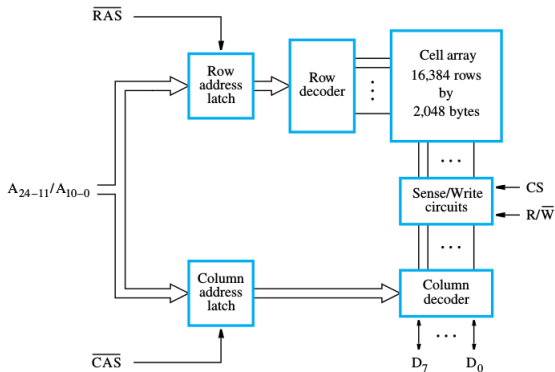
RAM Dinamica



- **WRITE:** la *Bit Line* è un **input**; attivando la *Word Line* il condensatore si carica se in input c'è 1
- **READ:** la *Bit Line* è un **output**; attivando la *Word Line* il condensatore emette la sua carica sulla *Bit Line*

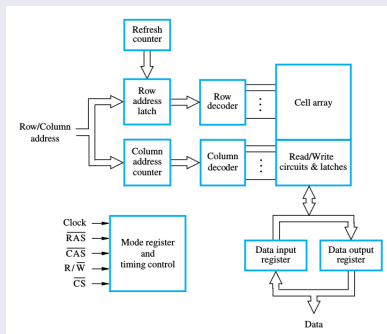
Struttura base di un chip di DRAM

Chip di RAM Dinamica



Ram Dinamiche Sincrone (SDRAM)

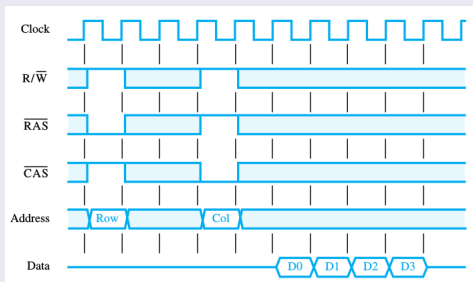
SDRAM



- Include il segnale di Clock
- Tutti gli altri segnali sono sincronizzati con il Clock
- Permette letture/scritture multiple “a burst”

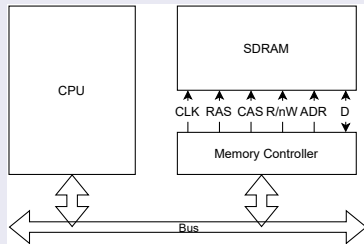
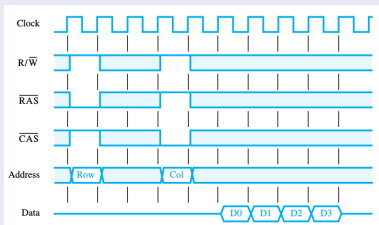
Ram Dinamiche Sincrone (SDRAM)

Operazione a "burst" su SDRAM



- Le operazioni sono basate su una **sequenza** di segnali ben precisa, sincronizzata al Clock
- Dopo l'invio di indirizzo e operazione (R o W), i vari colpi di clock permettono di accedere alle locazioni successive

Memory Controller

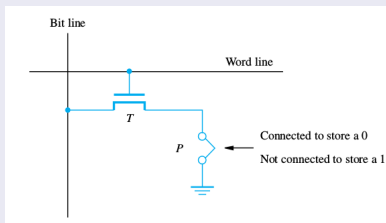


- I protocolli hardware del BUS e della SDRAM non sono compatibili
- Il BUS usa le linee di indirizzo **complete** mentre la SDRAM ha la suddivisione in **Row** e **Column**
- Il **Memory Controller** è un circuito che permette l'adattamento di protocollo

Refresh

- Il **refresh** è un'operazione obbligatoria per scongiurare la perdita di informazione in una RAM dinamica
- Va eseguita periodicamente con periodo nell'ordine dei millisecondi
- L'operazione consiste nel leggere ogni locazione di memoria e riscriverla
- Durante questa fase la CPU non può avere accesso alla memoria
- Il refresh viene controllato da un apposito circuito che introduce dei **wait states** per la CPU
- Le SDRAM possiedono la circuiteria di refresh interna, la quale va attivata attraverso opportuni segnali esterni da controllare

ROM e PROM



- In una **ROM** la cella di memoria contiene un “ponticello” (*P*) che viene inserito o rimosso durante il processo di fabbricazione
- La **PROM** è una ROM programmabile “once-time”; il ponticello è un “fusibile” che può essere interrotto inviando una tensione superiore ad una certa soglia

EPROM, EEPROM, Flash

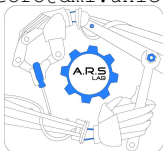
- **EPROM** (**Erasable PROM**), è una ROM cancellabile (e quindi riprogrammabile) tramite l'esposizione del chip alla luce ultravioletta
- **EEPROM** (**Electrically Erasable PROM**), è una ROM cancellabile (e quindi riprogrammabile) tramite l'applicazione di opportuni impulsi elettrici
- **Flash** è un tipologia di EEPROM con caratteristiche di prestazioni elevate

Memoria

Corrado Santoro

Dipartimento di Matematica e Informatica

santoro@dmi.unict.it



Corso di Architettura degli Elaboratori