

Dettagli sull'Architettura di CPU e Memoria

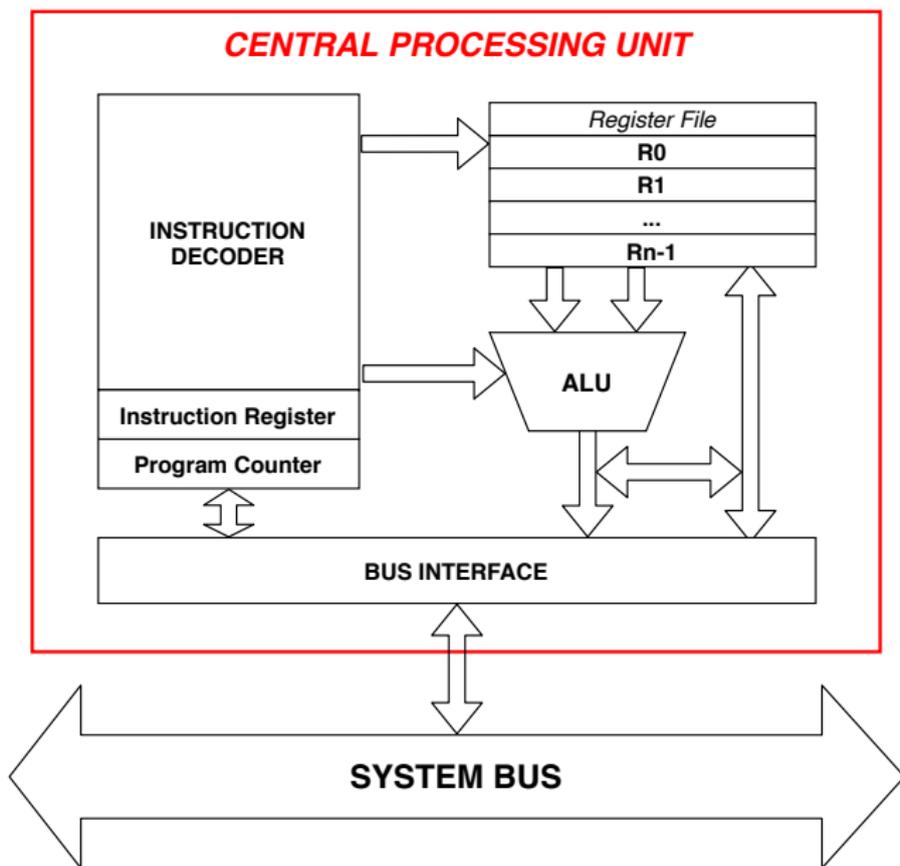
Corrado Santoro

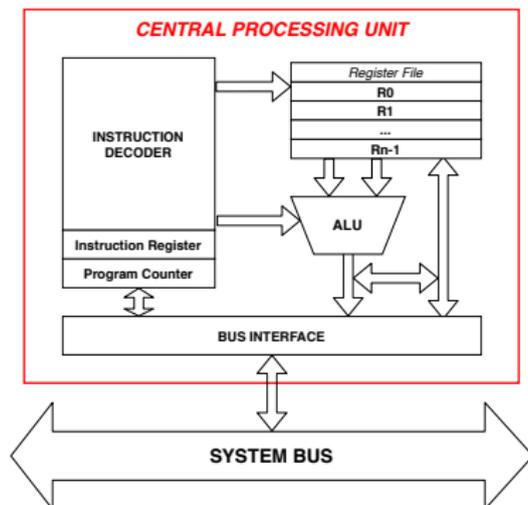
Dipartimento di Matematica e Informatica

santoro@dmi.unict.it



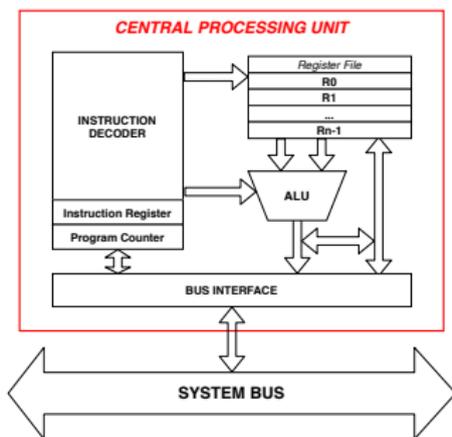
Corso di Architettura degli Elaboratori





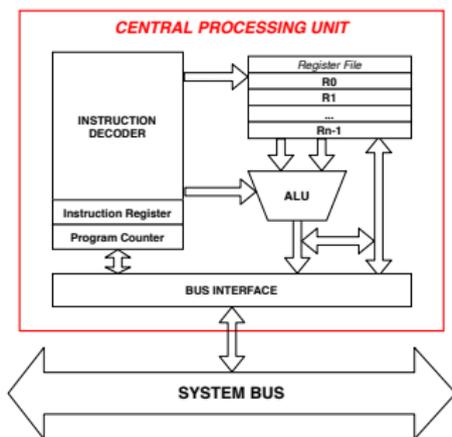
Register File

- E' un insieme di **registri a n bit** usati per dati temporanei
- Costituiscono gli **operandi** e il **risultato** delle operazioni logico-matematiche



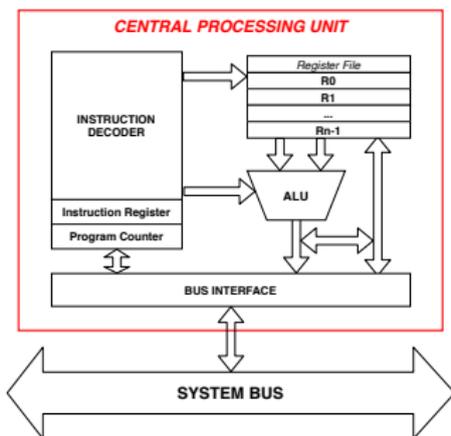
Register File

- La **dimensione (numero di bit) dei registri** è un parametro costruttivo importante di una CPU:
 - 8 bit
 - 16 bit
 - 32 bit
 - 64 bit



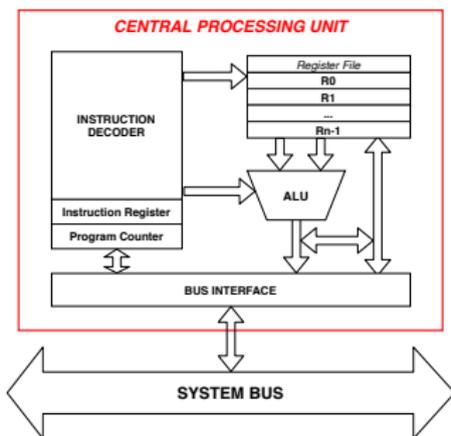
Register File

- La **dimensione dei registri** indica anche la **capacità elaborativa** della CPU:
 - 8 bit
 - 16 bit
 - 32 bit
 - 64 bit



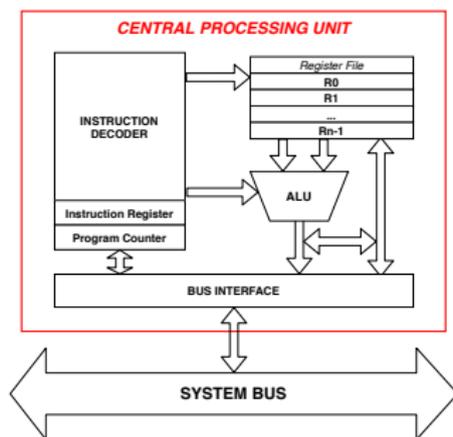
Aritmetic Logic Unit

- La **ALU** contiene circuiti che permettono di effettuare operazioni **logiche** e operazioni **matematiche**
- Almeno uno degli operandi è un registro e il risultato dell'operazione è (in genere) memorizzato su un altro registro



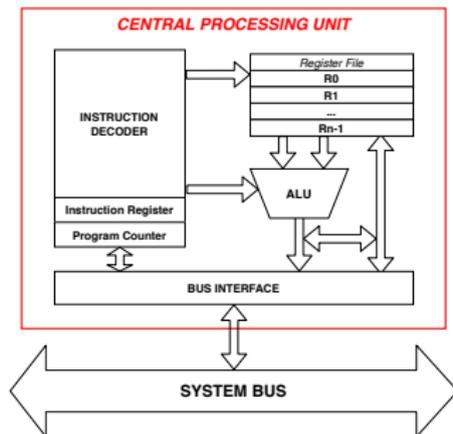
Instruction Register (IR)

- L'**IR** è un registro che contiene l'**istruzione che la CPU sta eseguendo** in quel momento specifico
- L'**istruzione** è un insieme di bit, ognuno dei quali ha un significato specifico



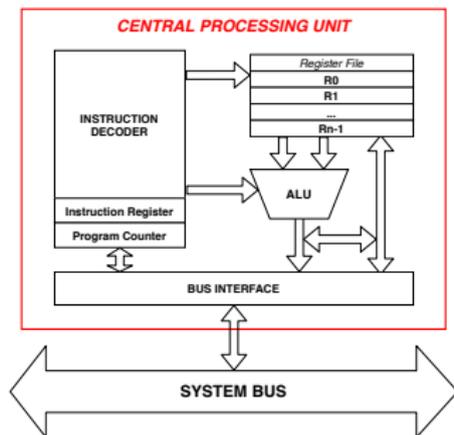
Instruction Register (IR)

- L'**istruzione** è un insieme di bit, ognuno dei quali ha un significato specifico
- **Esempio:** selezione dell'operazione dell'ALU, selezione dei registri da usare, etc.



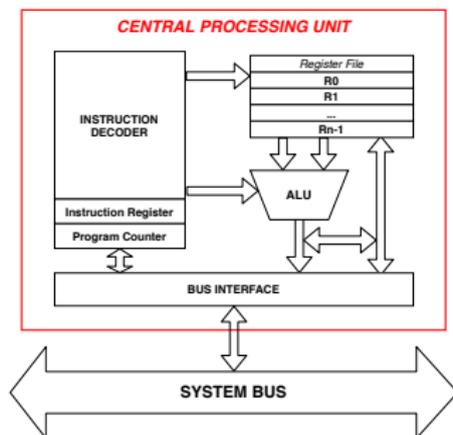
Instruction Decoder

- L'**Instruction Decoder** è il circuito che preleva i bit dell'istruzione dall'**IR** e "attiva" opportunamente il **Register File** e l'**ALU**



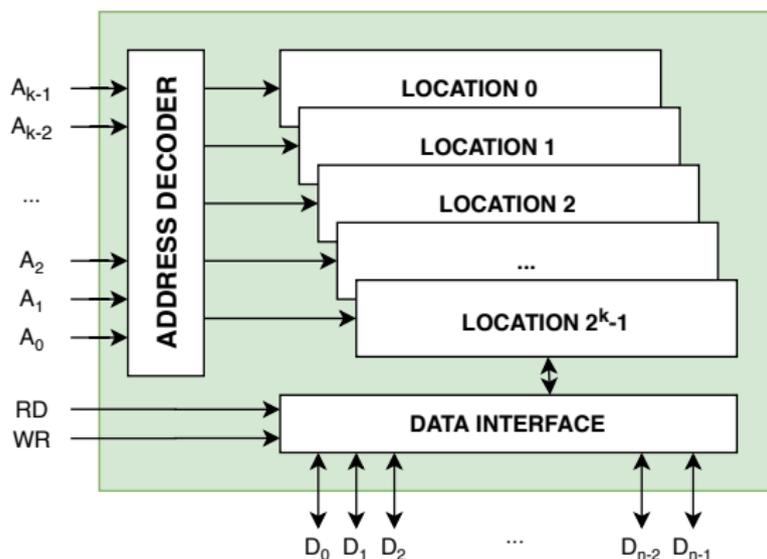
Program Counter

- Il **Program Counter (PC)** è un registro che contiene l'**indirizzo di memoria** (RAM/ROM) che contiene l'istruzione attualmente in esecuzione



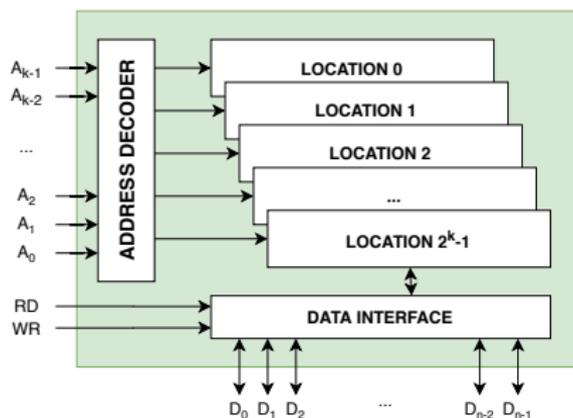
Bus Interface

- Il **Bus Interface** è il circuito che permette l'interazione (tramite il **bus di sistema**) tra i componenti della CPU ed i componenti esterni di un calcolatore (RAM, ROM, Interfacce di I/O)



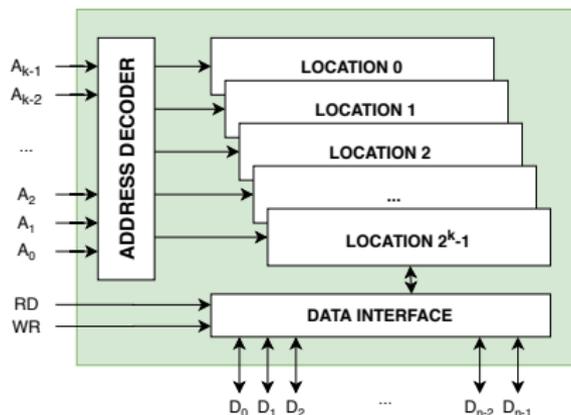
Dispositivi di Memoria

- Un **dispositivo di memoria** è (concettualmente) costituito da un insieme di **registri a n bit**, ognuno dei quali rappresenta una **locazione (o cella)** di memoria



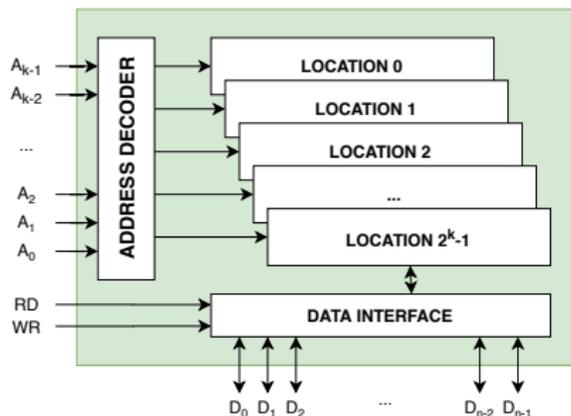
Address Lines

- La **selezione** della cella di memoria è effettuata attraverso un insieme di **k linee** le cui combinazioni binarie permettono di indirizzare **2^k celle**, numerate da **0 a 2^k-1**
- A_0, \dots, A_{k-1} sono denominate **address lines** (linee di indirizzo), e rappresentano il numero che indica la cella a cui accedere; esso è detto appunto **indirizzo**



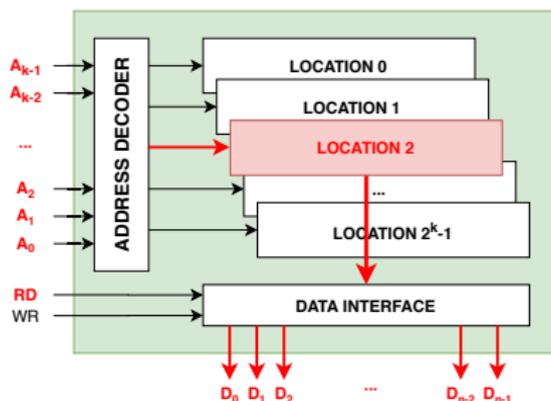
Address Lines

- A_0, \dots, A_{k-1} sono denominate **address lines** (linee di indirizzo), e rappresentano il numero che indica la cella a cui accedere; esso è detto appunto **indirizzo**
- E' ovviamente possibile accedere **sempre** ad **una cella per volta**



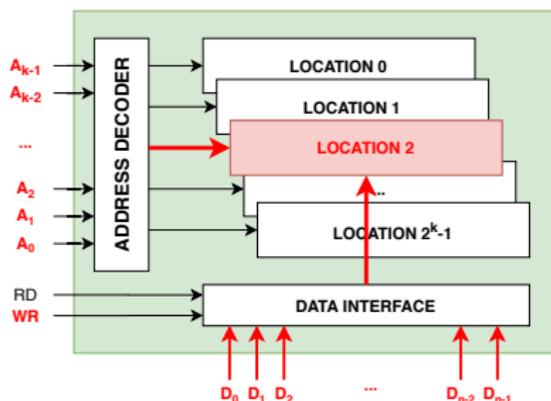
Control Lines

- **RD** e **WR** sono denominate **linee di controllo (control lines)**
- **RD** permette la **lettura** di una cella
- **WR** permette la **scrittura** di una cella



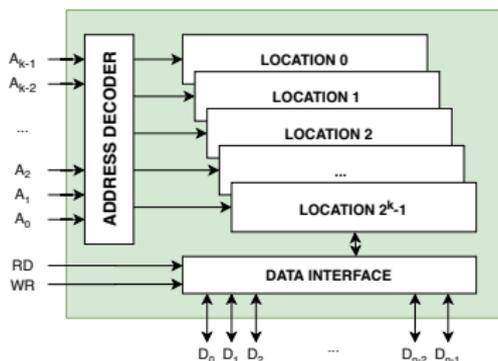
Read Operation

- Le linee A_i specificano la cella di memoria da leggere
- L'**Address Decoder** “seleziona” il circuito relativo alla cella di memoria indirizzata
- Viene attivato **RD** per indicare l'operazione di **lettura**
- Il **Data Interface** “emette” sulle linee dati D_0, \dots, D_{n-1} il dato contenuto nella cella indirizzata



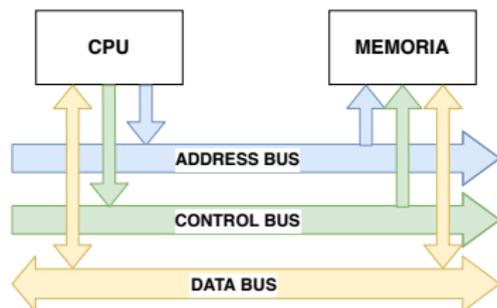
Write Operation

- Le linee A_i specificano la cella di memoria da leggere
- L'**Address Decoder** “seleziona” il circuito relativo alla cella di memoria indirizzata
- Viene attivato **WR** per indicare l'operazione di **scrittura**
- Il **Data Interface** “copia” nella cella indirizzata il dato contenuto sulle linee dati D_0, \dots, D_{n-1}



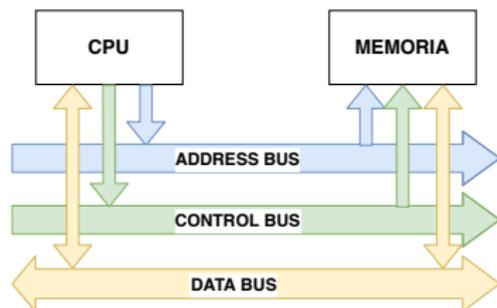
Collegamenti e Direzioni

- Le linee A_i sono denominate **linee di indirizzo** e sono di **input** (per la memoria)
- Le linee RD , WR sono denominate **linee di controllo** e sono di **input** (per la memoria)
- Le linee D_i sono denominate **linee dati** e sono di **bidirezionali**, ovvero la loro direzione (input o output) **dipende dall'operazione in corso**



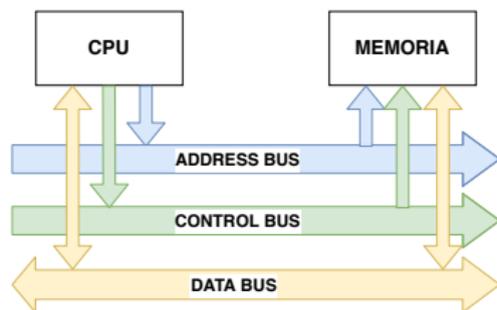
Collegamenti e Direzioni: Address Bus

- La connessione tra CPU e memoria avviene tramite il Bus di sistema il quale è organizzato secondo le connessioni della memoria
- L'**Address Bus** contiene i collegamenti che giungono alle **linee indirizzo** della memoria e dunque "porta" l'indirizzo della cella da leggere o scrivere



Collegamenti e Direzioni: Control Bus

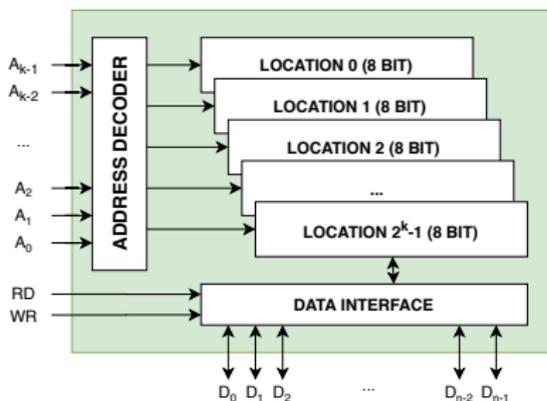
- Il **Control Bus** contiene i collegamenti che giungono alle **linee di controllo** della memoria e permette alla CPU di specificare l'**operazione da compiere** (RD o WR)
- (Nella realtà il Control Bus contiene molte altre linee che sono principalmente legate alle periferiche di I/O)



Collegamenti e Direzioni: Data Bus

- Il **Data Bus** contiene i collegamenti delle **linee dati** e consentono alla CPU di scambiare con la memoria il **dato da leggere e scrivere**

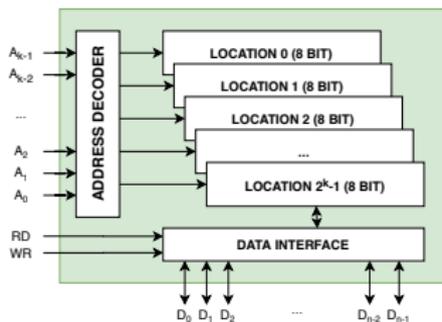
Organizzazione della Memoria



Organizzazione Memoria

- La memoria è organizzata in **BYTE**
- Ogni locazione di memoria consente di memorizzare un dato a **8 BIT**
- Pertanto, se l'address bus ha **k linee di indirizzi**, la memoria avrà (al massimo) **2^k byte**, e le locazioni saranno numerate da **0 a 2^k-1**

Organizzazione della Memoria



Dimensione Data Bus

- Pochè l'organizzazione è **per byte**, le linee dati (**data bus**) hanno usualmente **dimensione 8** $\Rightarrow D_0, \dots, D_7$
- Tuttavia, se la CPU manipola word di lunghezza superiore a un byte (16 bit o 32 bit), è possibile avere linee dati di dimensione maggiore (appunto 16 o 32)
- In questi casi, i circuiti della memoria sono tali da consentire alla CPU la lettura o scrittura di **2 locazioni** o di **4 locazioni consecutive**

Multipli del Byte, Notazione Tradizionale

2^{10} byte	1024 byte	1 KiloByte	1 KB
2^{20} byte	1024 KiloByte	1 MegaByte	1 MB
2^{30} byte	1024 MegaByte	1 GigaByte	1 GB
2^{40} byte	1024 GigaByte	1 TeraByte	1 TB
2^{50} byte	1024 TeraByte	1 PetaByte	1 PB

Multipli del Byte, Notazione Moderna

10^3 byte	1000 byte	1 KiloByte	1 KB
10^6 byte	1000 KiloByte	1 MegaByte	1 MB
10^9 byte	1000 MegaByte	1 GigaByte	1 GB
10^{12} byte	1000 GigaByte	1 TeraByte	1 TB
10^{15} byte	1000 TeraByte	1 PetaByte	1 PB

Multipli del Byte, Notazione Moderna

2^{10} byte	1024 byte	1 KibiByte	1 KiB
2^{20} byte	1024 KibiByte	1 MebiByte	1 MiB
2^{30} byte	1024 MebiByte	1 GibiByte	1 GiB
2^{40} byte	1024 GibiByte	1 TebiByte	1 TiB
2^{50} byte	1024 TebiByte	1 PebiByte	1 PiB

Dettagli sull'Architettura di CPU e Memoria

Corrado Santoro

Dipartimento di Matematica e Informatica
santoro@dmi.unict.it



Corso di Architettura degli Elaboratori