

# Il Sistema di Input/Output – Il Bus

Corrado Santoro

**ARSLAB - Autonomous and Robotic Systems Laboratory**

Dipartimento di Matematica e Informatica - Università di Catania, Italy

santoro@dmi.unict.it



Architettura degli Elaboratori

- Una caratteristica fondamentale di un computer è la possibilità di interagire con il mondo esterno (operatore umano, ambiente, etc.)
- Queste operazioni sono effettuate attraverso le **interfacce di Input/Output**
- Esse sono dispositivi hardware che mettono a disposizione opportune funzionalità e/o collegamenti elettrici con l'esterno
- Interagiscono con la CPU attraverso i collegamenti del **bus di sistema**

## CPU e Interfacce di I/O

- Il modo con cui una CPU, ed il relativo software, vedono una interfaccia di I/O è attraverso l'uso di istruzioni che fanno riferimento a **indirizzi specifici**
- Esistono due modalità per l'accesso da parte delle istruzioni alle interfacce di I/O:
  - **I/O mappato in memoria (spazio condiviso con la memoria di sistema)**
  - **Spazio di indirizzamento separato e uso di istruzioni ad-hoc**

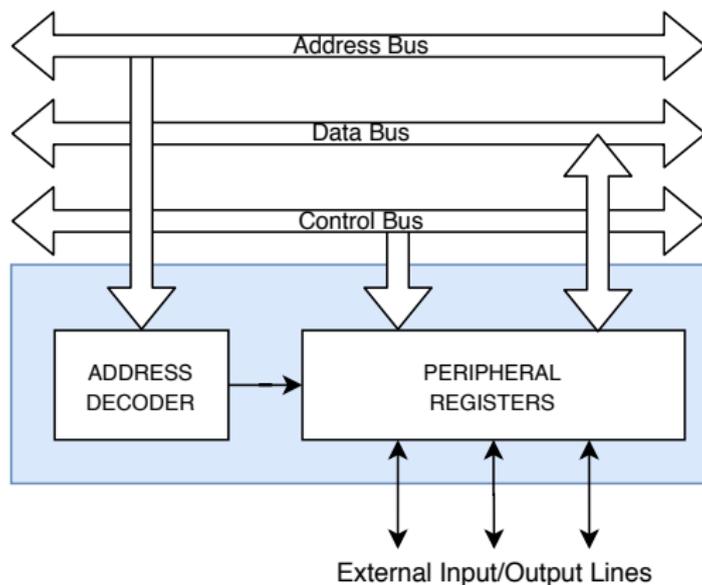
## I/O Mappato in Memoria

- Una **parte della memoria** (stabilita a design-time) viene riservata per l'Input/Output
- Un **set di indirizzi** specifico dell'area di memoria è assegnato all'Input/Output
- Ogni interfaccia di I/O viene **"allocata"** (staticamente o dinamicamente) su uno o più indirizzi dell'area riservata
- L'accesso all'interfaccia è effettuato attraverso delle operazioni di **LOAD/STORE** che utilizzano l'indirizzo assegnato all'interfaccia stessa

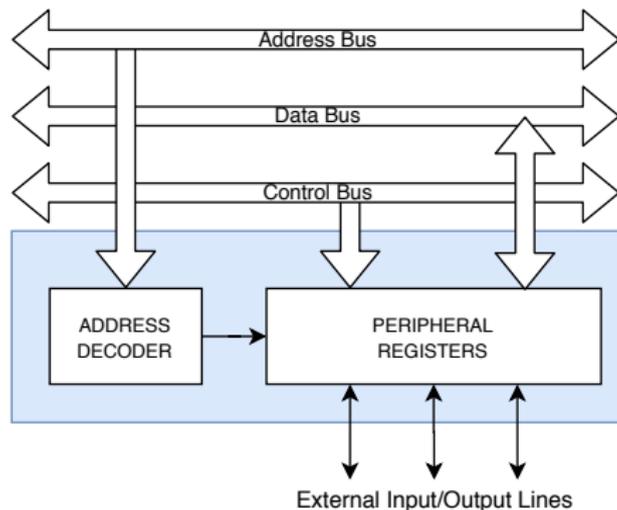
## I/O su Spazio Separato

- Un set di indirizzi **separato da quello della memoria** centrale è assegnato all'Input/Output
- Ogni interfaccia di I/O viene **"allocata"** (staticamente o dinamicamente) su uno o più indirizzi di tale area di I/O
- L'accesso all'interfaccia è effettuato attraverso delle operazioni speciali di **IN/OUT** (differenti dalle LOAD/STORE) che utilizzano l'indirizzo assegnato all'interfaccia stessa

# Bus di Sistema e Input/Output

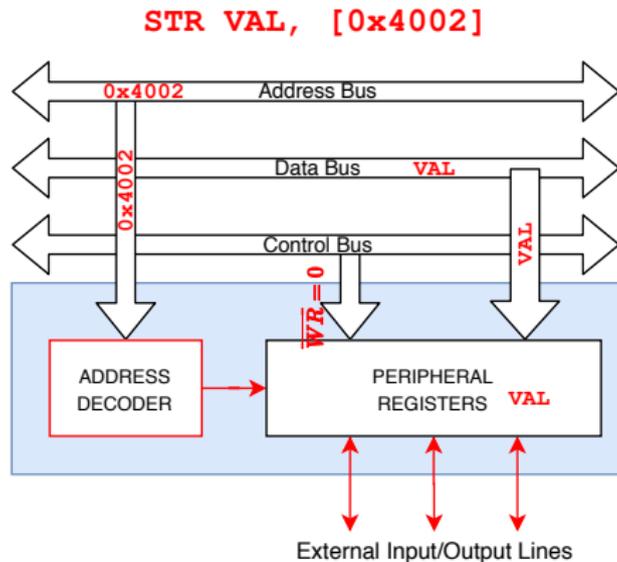


# I/O Mappato in Memoria e Control Bus



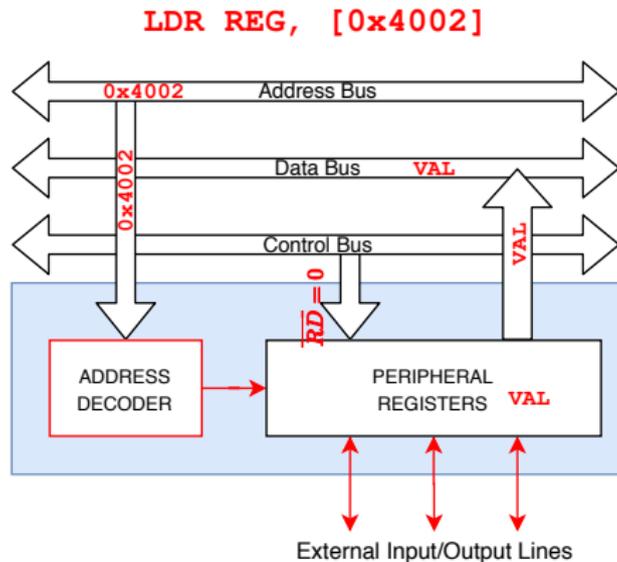
- Il Control Bus espone due linee che indicano l'operazione che si sta effettuando:
  - $\overline{RD}$ , quando è 0 indica un'operazione di READ (o LOAD)
  - $\overline{WR}$ , quando è 0 indica un'operazione di WRITE (o STORE)

# Bus di Sistema e Input/Output



- La CPU pone l'indirizzo **0x4002** sull'Address Bus
- Il decoder della periferica lo riconosce
- La CPU pone il dato sul Data Bus
- La CPU "attiva" il segnale  **$\overline{WR}$**
- L'hardware della periferica memorizza ("riceve") il dato

# Bus di Sistema e Input/Output



- La CPU pone l'indirizzo **0x4002** sull'Address Bus
- Il decoder della periferica lo riconosce
- La CPU "attiva" il segnale **RD**
- L'hardware della periferica invia il dato sul Data Bus
- La CPU acquisisce il dato

# Bus di Sistema, Input/Output e Sincronizzazione

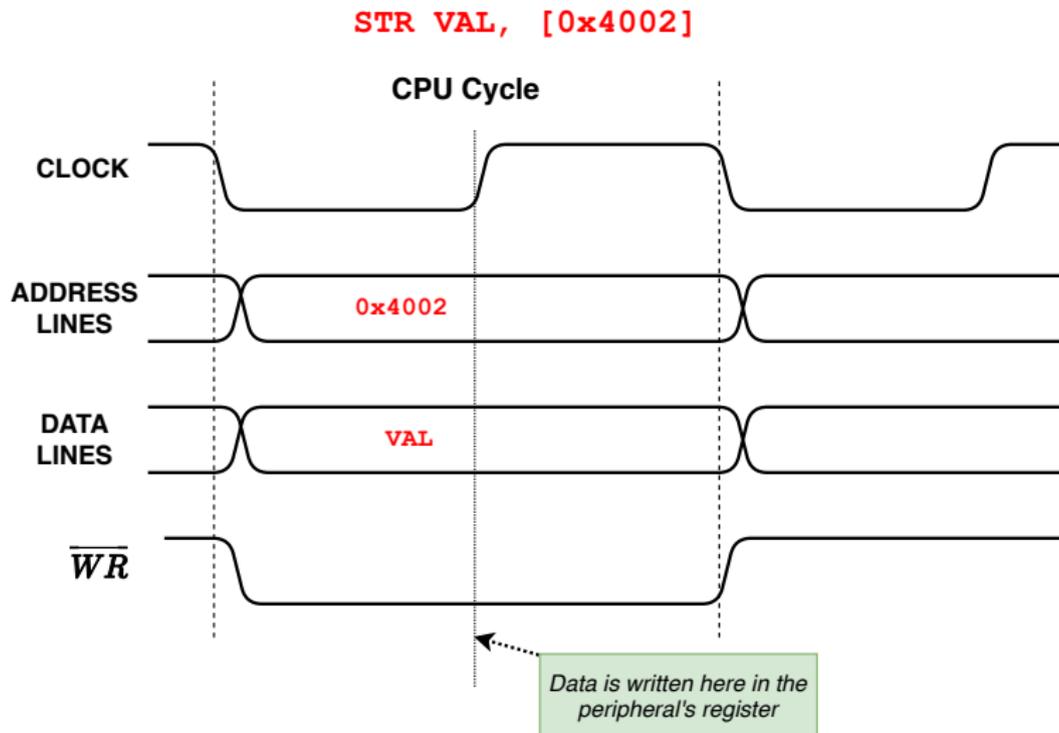
- Le operazioni tra CPU e periferica sono soggette ad uno scambio di segnali elettrici, in cui è importante sia l'aspetto logico (livello di tensione) che **temporale**
- Tali interazioni sono dunque regolate da un **protocollo** che specifica l'andamento temporale dei segnali (cosa viene prima e dopo, quando accade un evento, quando accade l'altro evento, etc.)
- Il protocollo può essere di due tipi:
  - **sincrono**, è presente un segnale di **clock** e gli eventi avvengono solo durante i fronti
  - **asincrono**, non è presente un segnale di clock

## BUS Sincrono

## BUS Sincrono

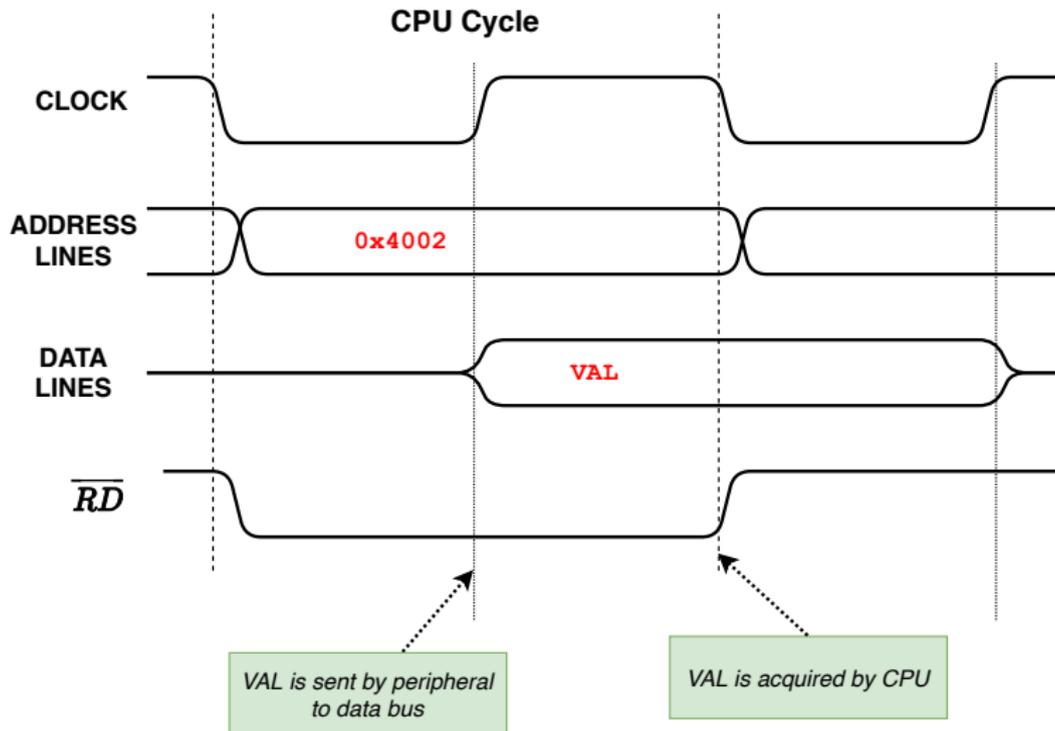
- Nel Bus Sincrono le operazioni avvengono solo all'occorrenza dei fronti del **clock di sistema**
- In fase di progetto, si "assegna" uno dei due fronti alle operazioni della CPU e l'altro alla memoria/interfacce di I/O
- In questo modo è possibile garantire la sincronizzazione stretta nell'interazione tra CPU e sistema periferico

# Bus Sincrono e Scrittura su I/O



# Bus Sincrono e Lettura da I/O

LDR REG, [0x4002]

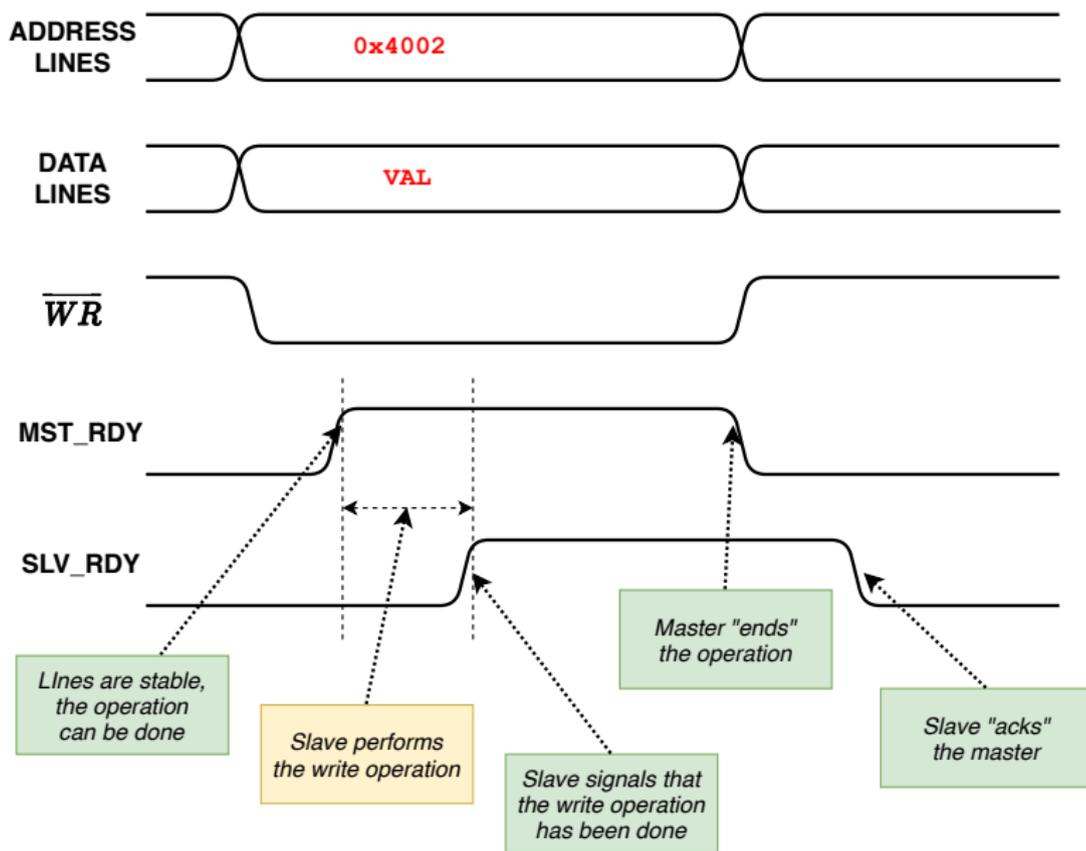


## BUS Asincrono

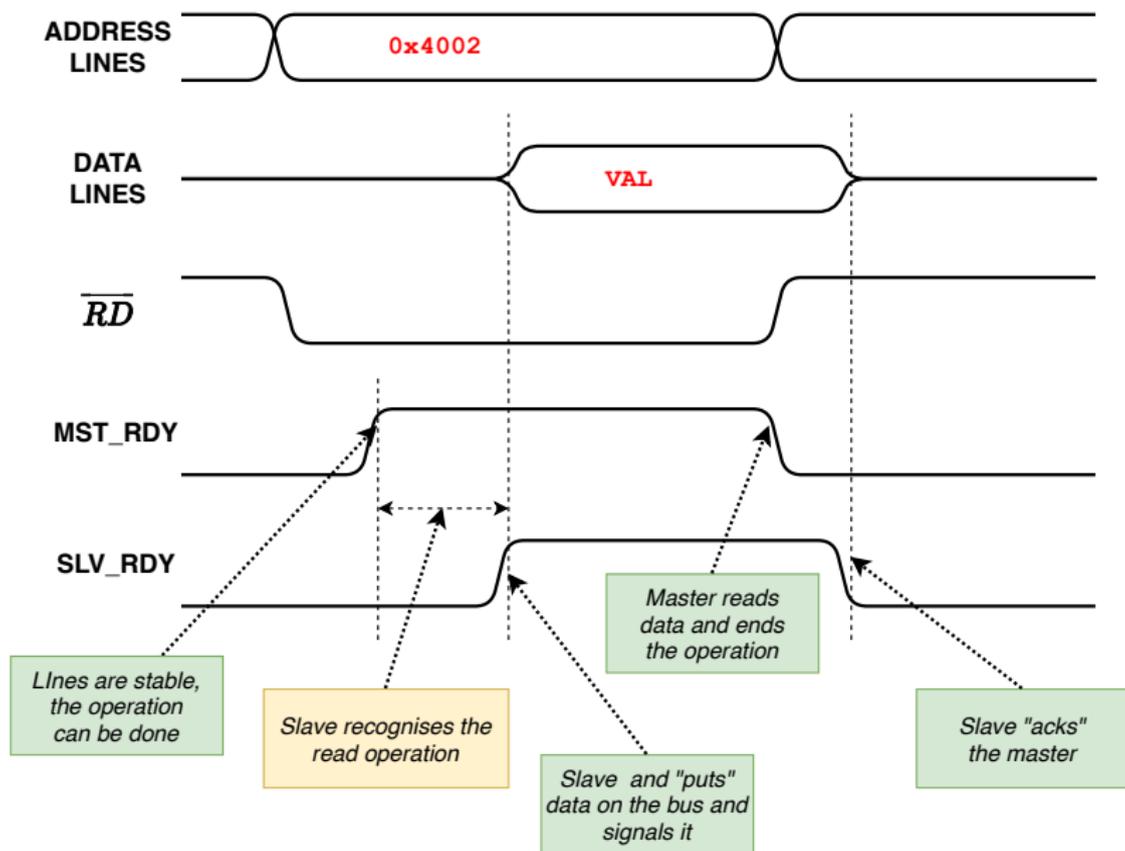
## BUS Asincrono

- Nel Bus **asincrono** le operazioni avvengono solo all'occorrenza dei fronti di segnali speciali di **handshake**
- Il clock di sistema è sempre presente, tuttavia non regola le operazioni (sebbene possa essere usato per attivare i clock dei flip-flop delle periferiche)
- L'handshake avviene attraverso dei segnali sul Bus di controllo che regolano la segnalazione delle attività tra **CPU**—detta **master**—e **periferica**—detta **slave**
- Due segnali di controllo (tipicamente):
  - **Master-Ready** (da CPU a periferica) la CPU segnala che le informazioni su Bus dati/indirizzi sono valide
  - **Slave-Ready** (da periferica a CPU) la periferica segnala che l'operazione richiesta è stata effettuata

# Operazione di Write su Bus asincrono



# Operazione di Read su Bus asincrono



# Il Sistema di Input/Output – Il Bus

Corrado Santoro

**ARSLAB - Autonomous and Robotic Systems Laboratory**

Dipartimento di Matematica e Informatica - Università di Catania, Italy

santoro@dmi.unict.it



Architettura degli Elaboratori