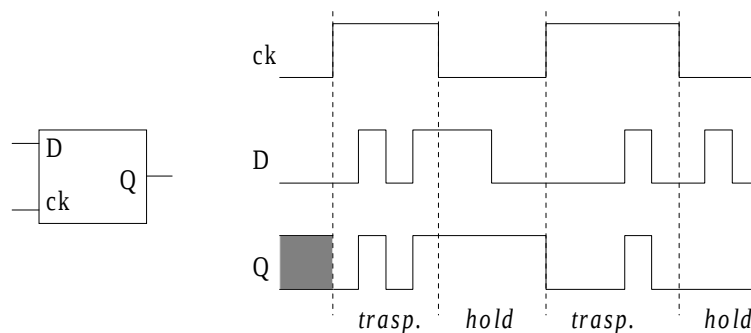


## LATCH E FLIP-FLOP.

I latch ed i flip-flop sono gli elementi fondamentali per la realizzazione di sistemi sequenziali. In entrambi i circuiti la temporizzazione è affidata ad un opportuno segnale di cadenza o di orologio o di clock, che indicheremo nel seguito con  $ck$ . Per i latch ed i flip-flop di tipo D, di cui ci occuperemo diffusamente nel seguito, oltre al segnale di clock sarà presente un ulteriore ingresso D (dato), mentre l'uscita sarà indicata con Q.

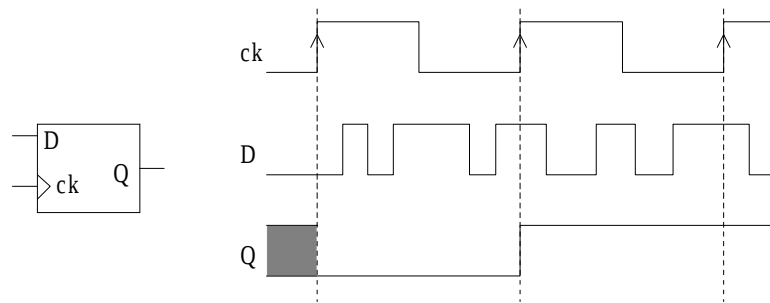
Nel caso dei latch possiamo distinguere due possibili modalità di funzionamento. Un latch può essere “trasparente” o “in memorizzazione” (hold), e si troverà nell'uno o nell'altro stato a seconda del **livello** (alto o basso) del segnale di clock. Quando un latch è “trasparente” ogni variazione dell'ingresso D comporta immediatamente una variazione dell'uscita Q. Viceversa, quando il latch si trova in fase di hold, l'uscita rimane bloccata all'ultimo valore assunto ed è indipendente da qualsiasi variazione che si può avere in ingresso.



*Fig. 1 D-latch trasparente per  $ck=1$*

La Fig. 1 mostra il funzionamento di un D-latch sensibile al livello alto del clock. Nell'esempio di Fig. 1 il clock parte a livello logico basso ed il latch è in stato di hold. Poiché non conosciamo la storia passata del sistema, il valore di Q è inizialmente indeterminato, come evidenziato dal tratteggio nel diagramma di figura 1. Quando il clock diviene uguale ad 1, il latch è trasparente e l'uscita Q segue (con un ritardo proprio del circuito) ogni variazione dell'ingresso D. Quando  $ck=0$  il latch si porta nuovamente in fase di hold. In questo periodo le variazioni dell'ingresso D non modificano il valore di Q.

A differenza di un latch, un flip-flop non è mai trasparente. Il funzionamento di un flip-flop è scandito non dal livello del segnale di clock, ma dai suoi fronti di commutazione. Nel caso di un flip-flop comandato dal fronte di salita del segnale di clock, viene memorizzato il valore dell'ingresso D in corrispondenza della transizione  $0 \rightarrow 1$  del segnale di clock. Il valore memorizzato viene immediatamente trasferito all'uscita Q. Un flip-flop comandato dal fronte di discesa del segnale di clock opera in modo analogo; l'istante di memorizzazione è in questo caso individuato dalla transizione  $1 \rightarrow 0$  del clock.

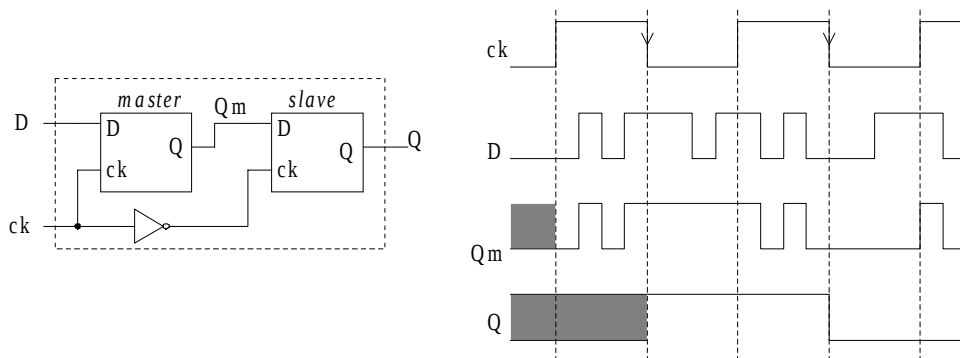


*Fig. 2 Flip-flop attivo sul fronte di salita del clock*

La Fig. 2 mostra il funzionamento di un flip-flop attivo sul fronte di salita del clock. Nel simbolo logico di Fig. 2 si noti il triangolino in corrispondenza dell'ingresso di clock, che consente di distinguere il simbolo del flip-flop da quello del latch.

Anche nel diagramma di Fig. 2 il valore di Q è inizialmente indeterminato. In corrispondenza del primo fronte di salita del clock risulta  $D=0$ , per cui l'uscita Q si porta a livello logico basso. Le successive variazioni di D, sia per  $ck=0$  che per  $ck=1$ , sono ignorate dal flip-flop che è sensibile soltanto alle transizioni  $0 \rightarrow 1$  del clock. Ad esempio, in corrispondenza del secondo fronte di salita del clock risulta  $D=1$  e l'uscita Q si porta a livello alto.

Un flip-flop può essere facilmente realizzato ponendo in cascata due latch, uno attivo su un livello del clock e l'altro attivo sul livello opposto, in configurazione *master-slave* come evidenzia la Fig. 3.



*Fig. 3 Flip-flop master-slave*

Per  $ck=1$  il primo latch (master) è trasparente. Le variazioni del segnale D vengono riportate sul nodo interno  $Q_m$  e si presentano in ingresso al secondo latch (slave). Poiché lo slave è in fase di hold la sua uscita resta costante. Quando il clock commuta dal livello logico alto al livello logico basso il latch slave diviene trasparente ed il dato presente sul nodo  $Q_m$  viene riportato in uscita. Nell'intervallo di tempo in cui  $ck=0$  il latch master è in fase di hold ed è pertanto insensibile ad eventuali variazioni di D. Si ottiene in questo modo un flip-flop sensibile al fronte di discesa del clock. Ovviamente, se vogliamo un flip-flop sensibile al fronte di salita del clock è sufficiente invertire la posizione dei due latch, in modo tale che il master sia trasparente per  $ck=0$  e lo slave per  $ck=1$ .

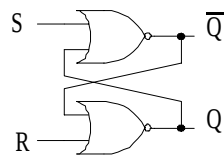
I latch (e quindi i flip-flop) possono essere sia statici che dinamici.

I latch ed i flip-flop statici utilizzano come elemento di memoria un circuito bistabile di tipo rigenerativo. Un dato rimane immagazzinato in un circuito statico fin quando il circuito stesso è alimentato.

Nei latch e flip-flop dinamici l'elemento di memoria è costituito da un condensatore. La presenza di una carica accumulata nel condensatore corrisponde alla memorizzazione di un "1", mentre l'assenza di carica accumulata corrisponde alla memorizzazione di uno "0". Sfortunatamente, sia il condensatore che i circuiti ad esso collegati avranno delle correnti di perdita che, con il passare del tempo, alterano la carica accumulata. Per preservare l'integrità del dato memorizzato è quindi necessario prevedere una fase di ripristino (refresh) della carica immagazzinata nel condensatore. La lettura della tensione ai capi della capacità senza alterarne lo stato di carica richiede l'utilizzo di dispositivi ad elevatissima resistenza di ingresso. Pertanto, mentre i circuiti statici possono essere implementati sia in tecnologia bipolare che MOS, i circuiti dinamici sono realizzabili unicamente in tecnologia MOS.

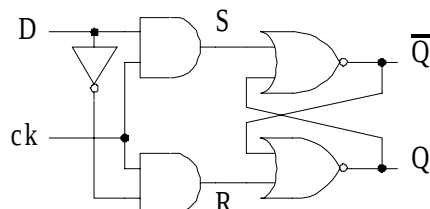
### Circuiti statici.

Un D latch statico può essere realizzato a partire da un bistabile di tipo set-reset, come quello mostrato in Fig. 4, basato su porte NOR.



*Fig. 4 Bistabile S-R (set-reset)*

Per passare dal circuito di Fig. 4 ad un latch di tipo D bisogna premettere un circuito costituito da una porta di abilitazione, comandata dal segnale di clock, ed un invertitore. Otteniamo così il circuito di figura 5. Quando il segnale di clock è zero sia S che R sono zero ed il circuito si trova nella fase di memorizzazione. Quando invece il clock è uguale ad 1 risulta:  $S=D$  ed inoltre  $R=\overline{D}$ ; in questo modo ogni variazione dell'ingresso D viene riprodotta in uscita ed il latch è trasparente.



*Fig. 5 D latch statico.*

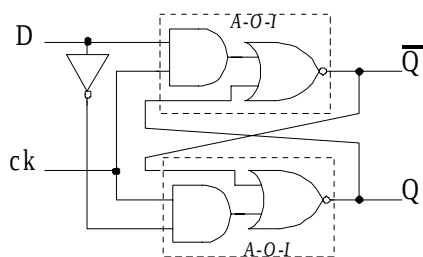


Fig. 6 D latch con porte AND-OR-INVERT.

Una realizzazione compatta il logica CMOS o TTL del D-latch mostrato in figura 5 è basata sull'utilizzo di due porte complesse AND-OR-INVERT, come evidenzia la Fig. 6 di cui si lascia al lettore, per esercizio, il disegno a livello transistor.

Il circuito di Fig. 6 non è utilizzato frequentemente in logica CMOS, in quanto è possibile ottenere realizzazioni molto più compatte utilizzando circuiti a porte di trasmissione.

La versione più semplice di un D latch statico in tecnologia CMOS è quella mostrata in figura 7, che richiede l'utilizzo di 8 soli MOS, rispetto ai 14 transistori necessari per il circuito di Fig. 6.

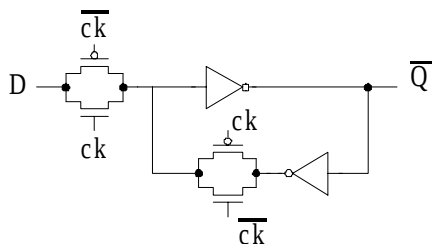


Fig. 7 D-latch a porte di trasmissione

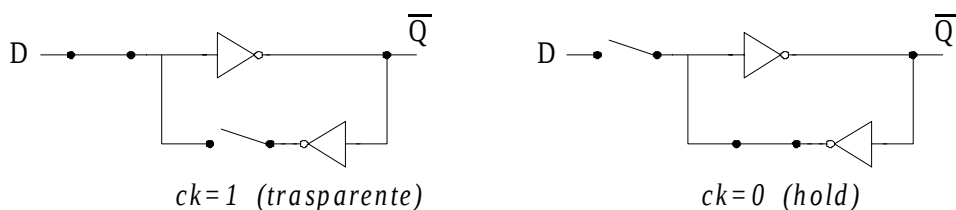


Fig. 8 Configurazioni equivalenti del D-latch a porte di trasmissione per  $ck=1$  e  $ck=0$ .

Come evidenzia la Fig. 8, il circuito di Fig. 7 si riconfigura in due modi diversi, a seconda del segnale di clock. Quando il clock è uguale ad 1 la prima porta di trasmissione è in conduzione mentre la seconda è interdetta. In questo modo l'uscita  $\bar{Q}$  segue le variazioni di D ed il latch è trasparente. Quando  $ck=0$  la prima porta di trasmissione è off mentre, grazie alla presenza della seconda porta di trasmissione, i due invertitori sono collegati a formare un elemento bistabile. In questo modo il circuito memorizza il dato acquisito (il latch è in fase di hold).

L'analisi svolta è valida nell'ipotesi di funzionamento ideale delle porte di trasmissione. In realtà si deve osservare che i transistori delle porte di trasmissione sono pilotati dai due

segnali  $ck$  e  $\overline{ck}$  e che è necessaria la presenza di un invertitore per ottenere  $\overline{ck}$ . Come evidenzia la Fig. 9, a causa del ritardo di propagazione dell'invertitore, si generano dei brevi intervalli di tempo in cui entrambi i segnali  $ck$  e  $\overline{ck}$  sono 1 (*overlap 1-1*) ed altri intervalli di tempo in cui entrambi i segnali sono 0 (*overlap 0-0*).

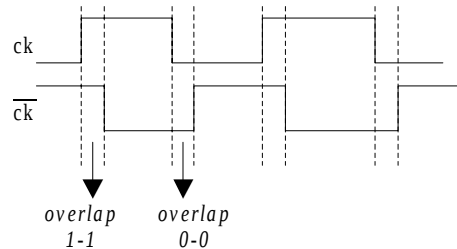


Fig. 9 Ritardo fra i segnali  $ck$  e  $\overline{ck}$

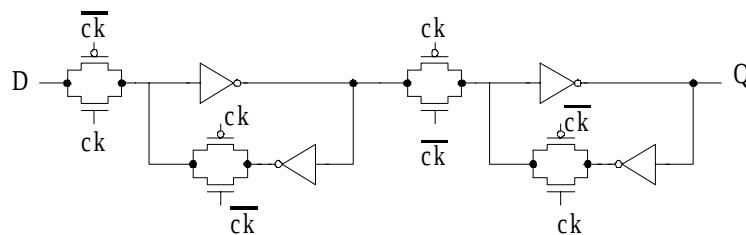


Fig. 10 Flip-flop D statico con porte di trasmissione CMOS.

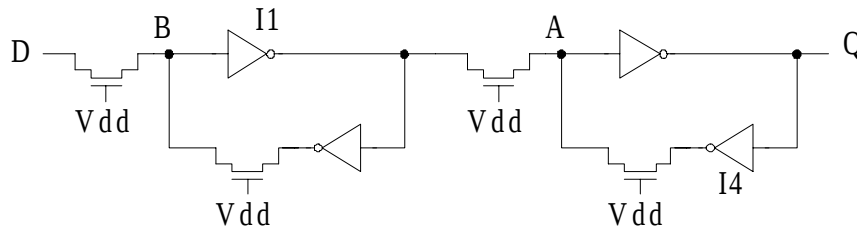


Fig. 11 Flip-flop D statico durante le fasi di overlap 1-1 dei segnali  $ck$  e  $\overline{ck}$ .

Queste fasi di sovrapposizione fra  $ck$  e  $\overline{ck}$ , se eccessivamente lunghe, possono comportare dei malfunzionamenti del circuito. Si consideri, ad esempio, il flip-flop statico di Fig. 10. Come evidenzia la Fig. 11, nelle fasi di overlap 1-1 tutti gli NMOS delle porte di trasmissione sono in conduzione. Il nodo A in Fig 11 è pilotato contemporaneamente da i due invertitori I1 ed I4; il livello logico del nodo in questione non è predicibile a priori ma dipenderà del dimensionamento dei dispositivi che compongono il circuito. Una situazione del tutto simile si ha anche per il nodo B. Problemi analoghi possono manifestarsi durante le fasi di sovrapposizione 0-0 quando sono in conduzione tutti i PMOS delle porte di trasmissione.

Per evitare malfunzionamenti è necessario rendere i tempi di sovrapposizione (overlap 1-1 e overlap 0-0) quanto più piccoli possibile, in modo da evitare che i due latch possano cambiare stato durante la fase di overlap. Poiché sappiamo che il tempo minimo necessario per far cambiare lo stato di un circuito bistabile è pari al ritardo di due invertitori, è possibile

garantire un corretto funzionamento del circuito se in ogni flip-flop è presente un invertitore che genera localmente il segnale  $\overline{ck}$  a partire da  $ck$ .

### Circuiti dinamici.

La Fig. 12 mostra lo schema di un D latch dinamico. Il circuito è costituito semplicemente da una porta di trasmissione e da un invertitore. Come elemento di memorizzazione si sfrutta la capacità parassita  $C$  mostrata in Figura. Il valore di  $C$  è legato essenzialmente alla capacità di gate dell'invertitore.

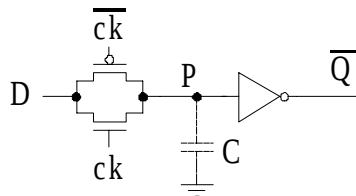


Fig. 12. D-latch dinamico

Il principio di funzionamento del latch di Fig. 12 è estremamente semplice. Quando il clock è a livello logico alto, la porta di trasmissione è in conduzione ed il latch è trasparente. Quando il clock è uguale ad 0 la porta di trasmissione è interdetta, la capacità  $C$  rimane carica all'ultimo valore acquisito, ed il circuito è in fase di "hold" (memorizzazione).

Confrontando la Fig. 12 con la Fig. 7 è immediato osservare che i circuiti dinamici presentano significativi vantaggi in termini di occupazione di area e di velocità rispetto a quelli statici. Per contro, i circuiti dinamici presentano maggiori vincoli progettuali. Consideriamo infatti il nodo P di Fig. 12. Quando il latch è in fase di hold, il potenziale su questo nodo è memorizzato nella piccola capacità parassita  $C$ . Il nodo P è quindi particolarmente sensibile a qualsiasi disturbo che può essere dovuto, ad esempio, ad accoppiamenti capacitivi parassiti con altre linee di interconnessione presenti nel circuito, le cui commutazioni possono far variare il potenziale sul nodo P. Una ulteriore limitazione di tutte le logiche dinamiche è legata alla durata del tempo di hold, che non può essere grande a piacere. Infatti, a causa di correnti di perdita (*leakage*) presenti nel circuito, non è possibile mantenere per un tempo indeterminato la carica immagazzinata sulla capacità  $C$ . Le correnti di leakage sono dovute essenzialmente ai diodi che collegano i terminali di source e di drain degli NMOS e dei PMOS verso i rispettivi substrati. Poiché i diodi in questione sono polarizzati inversamente le correnti che li attraversano sono molto piccole e possono essere normalmente trascurate. Nel caso delle logiche dinamiche, peraltro, queste correnti di leakage sono in grado di far variare significativamente il potenziale immagazzinato sulla capacità  $C$ , se il latch rimane troppo a lungo in condizione di hold. Ad esempio, se  $C=10\text{fF}$  è sufficiente una corrente di  $1\text{pA}$  per avere una deriva di potenziale sul nodo P pari a:  $dV/dt = 1 \text{ V/ms}$ . Come ordine di grandezza, la fase di hold di un circuito dinamico non può quindi prolungarsi per un tempo superiore a qualche ms. Poiché in un latch dinamico la fase di hold corrisponde ad un semiperiodo del segnale di clock, se ne deduce che la frequenza di clock non può essere inferiore a qualche KHz.

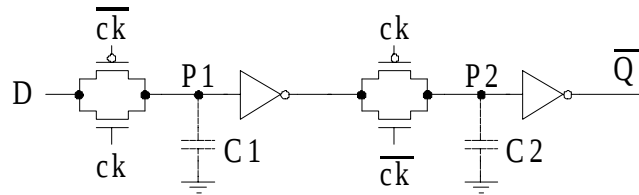


Fig. 13. Flip-flop dinamico di tipo D master/slave

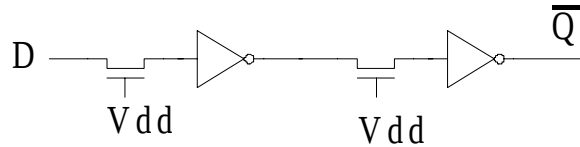


Fig. 14. Flip-flop D dinamico durante le fasi di overlap 1-1

La Figura 13 mostra lo schema di un flip-flop dinamico master-slave. Il flip-flop dinamico è molto più veloce e più compatto del flip-flop statico di Fig. 10 ma, proprio perché più veloce, è anche più sensibile al problema dell'overlap fra  $ck$  e  $\overline{ck}$ . Infatti se, ad esempio,  $ck$  e  $\overline{ck}$  sono entrambi alti (overlap 1-1) il circuito si configura come mostrato in figura 14. In questo caso il circuito è trasparente ed ogni variazione dell'ingresso si ritrova in uscita, dopo un ritardo pari a quello dei due invertitori. I circuiti dinamici sono dunque molto più sensibili dei circuiti statici ai problemi legati alla sovrapposizione fra  $ck$  e  $\overline{ck}$ . Nei circuiti statici, infatti, la presenza di un feedback positivo tende a conservare lo stato precedente del sistema.

Per risolvere questo problema vengono introdotti i flip-flop dinamici con clock a due fasi. Il circuito è mostrato in Fig. 15. Rispetto al circuito di Fig. 13, il latch master è pilotato dal segnale  $\phi 1$ , mentre lo slave è comandato da  $\phi 2$ . I due segnali  $\phi 1$  e  $\phi 2$  devono avere una fase di non-overlap, come evidenzia la Fig. 16. L'intervallo di non-overlap deve essere più grande del ritardo fra  $\phi 1$  e  $\overline{\phi 1}$ ,  $\phi 2$  e  $\overline{\phi 2}$ , in modo da garantire che non ci sia mai una conduzione simultanea dei due latch.

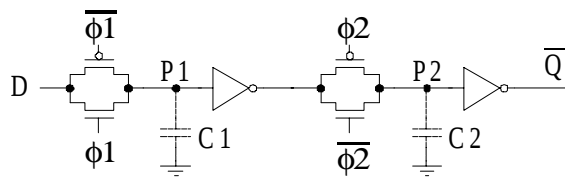


Fig. 15. Flip-flop dinamico con clock a due fasi.

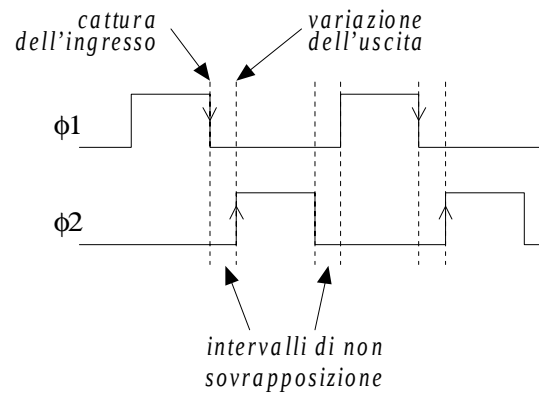


Fig. 16. Clock a due fasi.

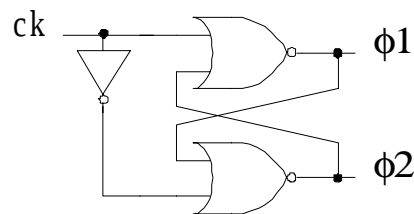


Fig. 17 Circuito per la generazione del clock a due fasi

Per quanto riguarda la temporizzazione del flip-flop con clock a due fasi, è immediato osservare che l'ingresso D viene acquisito in corrispondenza del fronte di discesa di  $\phi1$  (quando il master entra in fase di hold), mentre l'uscita Q cambia sul fronte di salita di  $\phi2$  (quando lo slave diventa trasparente).

La Fig. 17 mostra un circuito che può essere utilizzato per generare i segnali  $\phi1$ ,  $\overline{\phi1}$ ,  $\phi2$  e  $\overline{\phi2}$ , a partire da un unico clock, ck. Si lascia al lettore l'analisi del circuito e la dimostrazione che il tempo di non-overlap è pari al ritardo delle porte NOR. Volendo aumentare la durata del periodo di non-overlap è necessario aumentare il ritardo delle porte NOR; ciò può essere ottenuto inserendo un numero pari di invertitori in serie all'uscita di ognuna delle due porte NOR di Fig. 17.

La maggiore limitazione dei sistemi con clock a due fasi è legata alla necessità di distribuire 4 segnali ( $\phi1$ ,  $\overline{\phi1}$ ,  $\phi2$  e  $\overline{\phi2}$ ) per ogni flip-flop, con notevole congestione per i collegamenti.

Anche per il flip-flop statico di Fig. 10 è possibile utilizzare un sistema di clock a due fasi. Si perviene così al flip-flop pseudo-statico di Fig. 18.

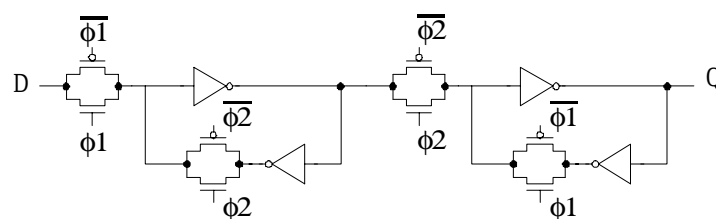
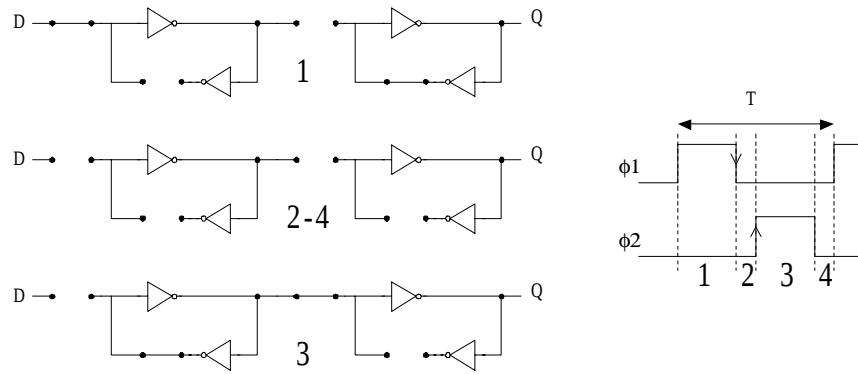


Fig. 18 Flip-flop pseudo statico.



*Fig. 19. Configurazioni del flip-flop pseudo statico nelle varie fasi*

Il funzionamento del flip-flop pseudo-statico può essere illustrato facendo riferimento alla Fig. 19. Il periodo  $T$  del clock può essere suddiviso in quattro fasi.

Nella prima fase  $\phi1$  è alto, mentre  $\phi2$  è a livello logico basso. In questo intervallo di tempo il master è trasparente mentre lo slave è in fase di hold. Si noti che il loop di reazione per lo slave è attivo, per cui nella fase 1 il funzionamento del circuito è di tipo statico.

Nella fase 2 sia il master che lo slave sono in fase di hold. Le porte di trasmissione sono infatti tutte interdette ed il funzionamento del circuito è legato alla presenza delle capacità presenti fra i nodi d'ingresso degli invertitori e massa. Sia il master che lo slave operano in questo intervallo come latch dinamici.

Nella fase 3, il master è in fase di hold mentre lo slave è trasparente. Poiché il loop di reazione per il master è attivo, in questa fase il funzionamento del circuito è di tipo statico.

La fase 4, infine, è del tutto analoga alla fase 2; sia il master che lo slave operano come latch dinamici e sono entrambi in fase di hold.

In definitiva il circuito di Fig. 18 evidenzia un funzionamento dinamico soltanto durante le fasi 2 e 4 di non-overlap. L'unico vincolo da rispettare per un corretto funzionamento del flip-flop è che il periodo di non overlap sia sufficientemente breve, in modo da non alterare lo stato di carica delle capacità cui è affidato il compito di memorizzare lo stato del circuito. Poiché l'intervallo di non overlap può essere reso molto piccolo, indipendentemente dal periodo del segnale di clock, è possibile utilizzare il flip-flop pseudo statico anche con frequenze di clock molto basse.

### **Flip-flop J-K e T**

I flip-flop di tipo D, di cui ci siamo occupati in precedenza, memorizzano il valore presente sull'ingresso in corrispondenza del fronte attivo del clock. Il funzionamento di un flip-flop D è descrivibile mediante un'equazione caratteristica:  $Q_{n+1} = D_n$ , in cui  $Q_{n+1}$  rappresenta il valore che verrà assunto dell'uscita  $Q$  a seguito di un fronte attivo del clock, mentre  $D_n$  rappresenta il valore corrente dell'ingresso. Oltre al flip-flop D sono comunemente utilizzati altri tipi di flip-flop, che possono essere facilmente ottenuti a partire da un flip-flop di tipo D.

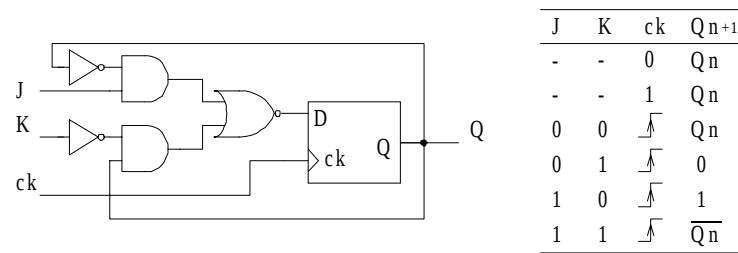


Fig. 20. Flip-flop J-K

Il flip-flop J-K è descritto dall'equazione caratteristica:  $Q_{n+1} = J_n \overline{Q_n} + \overline{K_n} Q_n$ . Se  $J_n=1$  e  $K_n=0$ , si ha:  $Q_{n+1} = \overline{Q_n} + Q_n = 1$  (operazione di "set" del flip-flop); viceversa, se  $K_n=1$  e  $J_n=0$  risulta:  $Q_{n+1} = 0$  (operazione di "reset"). Quando  $J_n=K_n=0$  si ha:  $Q_{n+1} = Q_n$  ed il flip-flop conserva lo stato precedente. Infine, per  $J_n=K_n=1$ , risulta:  $Q_{n+1} = \overline{Q_n}$  per cui il flip-flop J-K, in questo caso, cambia il proprio stato ad ogni colpo di clock. La tabella di verità di un flip-flop J-K attivo sul fronte di salita del clock è mostrata in Fig. 20; la stessa figura mostra come sia possibile realizzare un flip-flop J-K a partire da flip-flop D.

Il flip-flop T è descritto dall'equazione caratteristica:  $Q_{n+1} = \overline{Q_n}$  e pertanto cambia il proprio stato ad ogni colpo di clock. Come evidenzia la Fig. 21, un flip-flop T può essere ottenuto molto facilmente sia partire da un flip-flop D che da un flip-flop J-K.

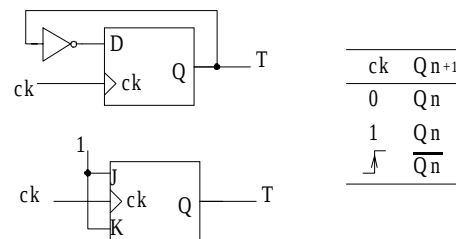


Fig. 21. Flip-flop T

Il flip-flop T con ingresso di abilitazione (enable) è descritto dall'equazione caratteristica:  $Q_{n+1} = E_n \overline{Q_n} + \overline{E_n} Q_n$ . Il flip-flop modifica il proprio stato ad ogni colpo di clock solo se il segnale di abilitazione è attivo. Anche un flip-flop T con abilitazione può essere ottenuto sia partire da un flip-flop D che da un flip-flop J-K, come mostra la Fig. 22.

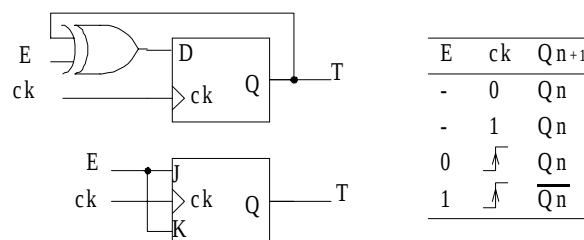


Fig. 22. Flip-flop T con abilitazione