

Sviluppo di componenti su FPGA. Pianificazione di seminari degli studenti

Esercitazione 10 di Sistemi dedicati

Docente: Giuseppe Scollo

Università di Catania
Dipartimento di Matematica e Informatica
Corso di Laurea Magistrale in Informatica, AA 2017-18

Indice

1. Sviluppo di componenti su FPGA. Pianificazione di seminari degli studenti
2. argomenti dell'esercitazione
3. sviluppo di un componente Avalon memory-mapped su FPGA
4. pianificazione di seminari degli studenti
5. riferimenti

in questa esercitazione si trattano:

- sviluppo di un componente Avalon memory-mapped su FPGA
- pianificazione di seminari degli studenti

sviluppo di un componente Avalon memory-mapped su FPGA

l'esercitazione in aula riproduce l'esecuzione dell'esempio di costruzione di un sistema Qsys dotato di un componente hardware custom mappato in memoria con interfaccia su bus Avalon, come illustrato in figura, descritto nel tutorial di riferimento
i sorgenti VHDL sono reperibili nell'area riservata di laboratorio, cartella VHDL/code/e10

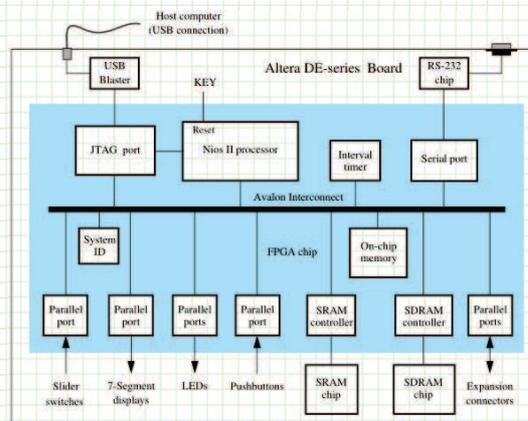


Figura 1. Diagramma a blocchi di un esempio di sistema Qsys realizzato su FPGA

pianificazione di seminari degli studenti

vengono proposte tre opzioni agli studenti per le loro presentazioni in aula:

- argomento (di una parte) della lezione 10
- argomento (di una parte) della lezione 11
- argomento della lezione 12, con scelta dell'applicazione specifica di maggior interesse dello studente

dopo una panoramica dei materiali didattici di riferimento vengono scelte le prime due opzioni, con il seguente piano delle presentazioni degli studenti:

- lezione 10, I parte: *Interfacce memory-mapped*, Grazia Pagano, lunedì 08/01/2018; materiali di riferimento: Schaumont, Ch. 11, Sect. 11.1.1-11.1.5
- lezione 11, I parte: *Funzioni, struttura e progetto di interfacce hardware*, Salvatore Marneli, mercoledì 10/01/2018; materiali di riferimento: Schaumont, Ch. 12, Sect. 12.1-12.3.1

ulteriori riferimenti potranno essere aggiunti più avanti dagli studenti

riferimenti

letture raccomandate:

Making Qsys Components - For Quartus Prime 16.1, Intel Corp. - FPGA University Program, November 2016