

Progetto di microarchitetture, microprogrammazione, pipelining

Esercitazione 09 di Architettura degli elaboratori

Docenti: A-L: Giuseppe Scollo, M-Z: Christian Napoli

Università di Catania
Dipartimento di Matematica e Informatica
Corso di Laurea in Informatica, I livello, AA 2018-19

Indice

1. Progetto di microarchitetture, microprogrammazione, pipelining
2. argomenti dell'esercitazione
3. riferimenti

argomenti dell'esercitazione

in questa esercitazione si trattano:

- segnali di controllo in un processore RISC di base
- microarchitetture CISC
- microprogrammazione di processori CISC
- organizzazione in pipeline
- problematiche del pipelining: stalli, tipi di conflitti
 - dipendenze di dato
 - ritardi della memoria
- tecniche di riduzione degli stalli:
 - inoltro degli operandi
 - riordino delle istruzioni

riferimenti

capitolo 5 del testo di riferimento, paragrafi 5.5-7
capitolo 6, paragrafi 6.0-6.5

ad accesso riservato:

- presentazione: cap. 5, pp. 25-40
presentazione cap. 6, pp. 1-10
- esercizi cap. 5
esercizi cap. 6

simulatori: DataPath Simulator (v. 1.0, Processing: F. D'Agostino)

altre fonti per consultazione:

- D. Stone: *IJVM Assembly Language Specification* (1999)
- A.S. Tanenbaum, T. Austin *Architettura dei calcolatori: un approccio strutturale* (cap. 4) Sesta edizione, Edizione italiana, Pearson Prentice Hall (2013)
- F. Barbanera: *Note introduttive sul linguaggio Mic-1* (2008)
- M.R. Aiello, D. Spitaleri, E. Torre, F. Ravi: *Emulatore Mic-1, con traduttore MAL → Mic-1* (2012)