

Registri, componenti di chip di memoria e del processore, PLA, FPGA, ALU

Esercitazione 04 di Architettura degli elaboratori

Docenti: A-L: Giuseppe Scollo, M-Z: Christian Napoli

Università di Catania
Dipartimento di Matematica e Informatica
Corso di Laurea in Informatica, I livello, AA 2017-18

Indice

1. Registri, componenti di chip di memoria e del processore, PLA, FPGA, ALU
2. argomenti dell'esercitazione
3. riferimenti

in questa esercitazione si trattano:

- registri
- contatore binario
- decodificatori
- moltiplicatore e sue applicazioni
- componenti programmabili, PLA, FPGA
- circuiti per l'addizione e la sottrazione
- unità aritmetica logica (ALU)

riferimenti

appendice del testo di riferimento, paragrafi A.7-11

ad accesso riservato:

- presentazione: app., pp. 50-60
- esercizi

capitolo 9 del testo di riferimento, paragrafo 9.1

ad accesso riservato:

- presentazione: cap. 9, pp. 3-6
- esercizi

simulatori:

- Simulatore di circuiti logici
(Applet Java: D. Ferrarello, F. Ungheri)
N.B. l'esecuzione di applet Java, bloccata in versioni recenti dei browser più diffusi, può essere avviata da linea di comando col programma `appletviewer`, incluso nel Java JDK
- Decodificatore da codice BCD a codice sette segmenti
(v. 1.0, Javascript/Raphaël/jQuery: A. Ferraguto)
- Simulatore di circuiti addizionatori e sottrattori
(v. 1.0, Javascript/AngularJS: S. Borzi, D. Tascione)
- Convertitore parallelo-seriale
(v. 1.0, Flash/Arduino: C. Caruso, G. Naso O., D. Morales)
- Simulatore di PLA
(v. 1.0, Python: A. Plebe)
- Simulatore di ALU a B bit, con guida introduttiva
(v. 1.0, Flash: S. Lentini e G. Nicotra)
- Simulatore di ALU a B bit, con esecuzione passo-passo
(v. 1.0, Java: F. Vindigni)