

Microprogrammazione. Processori ad alte prestazioni, pipelining

Lezione 17 di Architettura degli elaboratori

Docente: Giuseppe Scollo

Università di Catania
Dipartimento di Matematica e Informatica
Corso di Laurea in Informatica, I livello, AA 2011-12

1 di 4

Indice

1. Microprogrammazione. Processori ad alte prestazioni, pipelining
2. argomenti della lezione
3. riferimenti

2 di 4

in questa lezione si trattano:

- organizzazione hardware di processori CISC
- microprogrammazione
- organizzazione in pipeline
- problematiche del pipelining: stalli, tipi di conflitti
 - dipendenze di dato
 - ritardi della memoria
 - ritardi nei salti
- tecniche di riduzione degli stalli:
 - inoltro degli operandi
 - riordino delle istruzioni
 - anticipo del calcolo della destinazione di salto

riferimenti

capitolo 5 del testo di riferimento, paragrafi 5.7-8
capitolo 6, paragrafi 6.0-6.6.3

ad accesso riservato:

- presentazione: cap. 5, pp. 33-40
presentazione cap. 6, pp. 1-14
- esercizi cap. 5
esercizi cap. 6

altre fonti per consultazione:

- D. Stone: *IJVM Assembly Language Specification* (1999)
- A.S. Tanenbaum: *Architettura dei calcolatori: un approccio strutturale* (cap. 4) Quinta edizione, Edizione italiana, Pearson Prentice Hall (2006)
- F. Barbanera: *Note introduttive sul linguaggio Mic-1* (2008)
- M.R. Aiello, D. Spitaleri, E. Torre, F. Ravi: *Emulatore Mic-1, con traduttore MAL→Mic-1* (2011)